

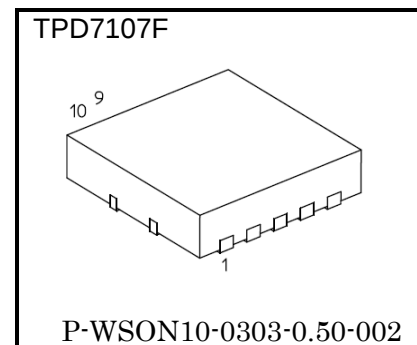
東芝インテリジェントパワーデバイス シリコン パワーMOS 型集積回路

TPD7107F

1 チャンネルハイサイド N チャンネルパワーMOS FET ゲートドライバー

1. 概要

TPD7107F は 1 チャンネルのハイサイドスイッチ用 N チャンネルパワー MOSFET ゲートドライバーです。チャージポンプ回路を内蔵しており、大電流アプリケーションのハイサイドスイッチを容易に構成することができます。



2. 用途

- 車載ジャンクションボックス用
- 車載パワーディストリビューションモジュール用
- 半導体リレー用

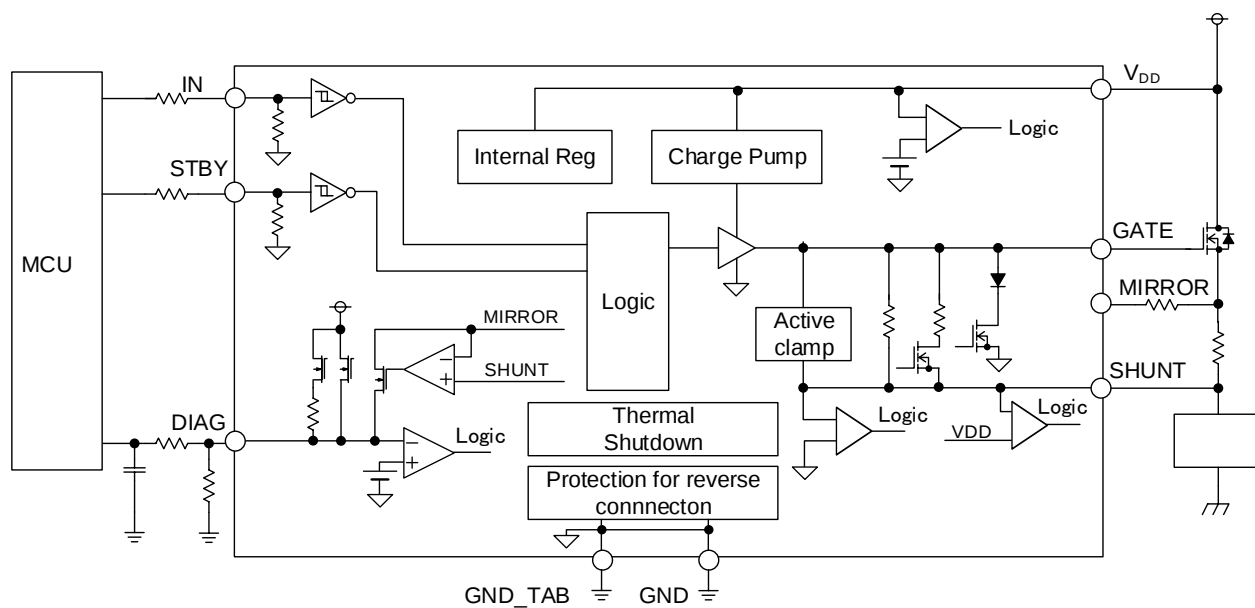
3. 特長

- AEC-Q100 適合
- チャージポンプ回路を内蔵しています。
- 各種保護機能、診断出力機能を内蔵しています。
 - － 電源電圧異常(電圧低下、過電圧、電源逆接)
 - － 負荷電流センス
 - － 過電流(負荷ショート)
 - － 過熱
 - － 外付け FET のドレイン・ソース間電圧異常
 - － 外付け FET のアクティブクランプ
 - － GND 端子断線保護
 - － 負荷天絡(外付け FET ソースと電源ショート)
 - － 負荷断線(オープン)
- 面実装用の WSON10A パッケージです。

注: この製品は MOS 構造ですので取り扱いの際には静電気にご注意ください。

製品量産開始時期
2020-03

4. ブロック図



注: ブロック内の機能ブロック、回路、定数などは、機能を説明するため、一部省略、簡略化している場合があります。

図 4.1 ブロック図

5. 端子配置

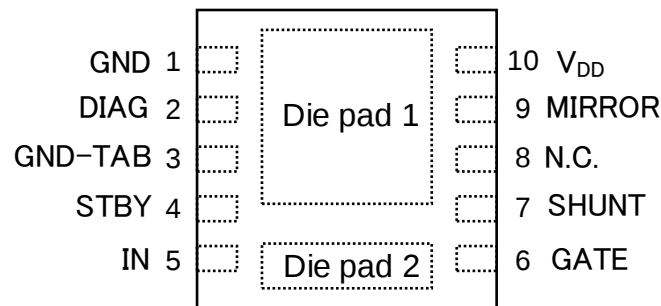


図 5.1 端子配置図 (Top view)

6. 端子説明

表 6.1 端子説明

端子番号	記号	説明
1	GND	接地端子。
2	DIAG	電流センス出力。異常動作時の診断出力。
3	GND-TAB	接地端子。
4	STBY	スタンバイモード制御端子。
5	IN	入力端子。プルダウン抵抗内蔵。
6	GATE	外付け FET 駆動用の出力端子。
7	SHUNT	シャント抵抗接続端子。
8	N.C.	未接続端子。
9	MIRROR	外付け FET ソース端子、およびシャント抵抗接続端子。
10	VDD	電源端子。

7. 動作説明

7.1. 電源逆接保護

電源逆接保護は、図中 M1 を介して外付け FET をオン状態とし、FET の損失を低減することで、熱破壊を防ぎます。

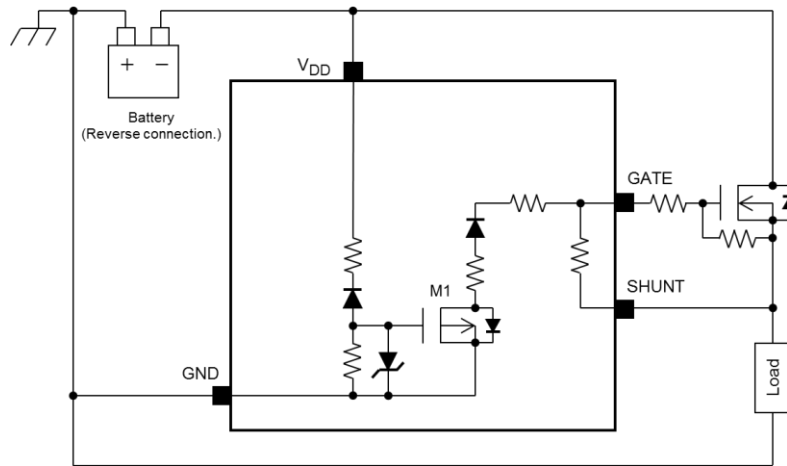


図 7.1 電源逆接保護回路図

7.2. アクティブクランプ

アクティブクランプは誘導性負荷によるサージ発生時に外付け FET のドレイン・ソース間電圧を耐圧以下に保つ機能です。誘導性負荷によるサージ電圧発生時に V_{DD} -SHUNT 間電圧が増加すると、図中の回路により GATE 端子に電圧が出力され、外付け FET がオン状態となりドレイン・ソース間電圧をクランプします。

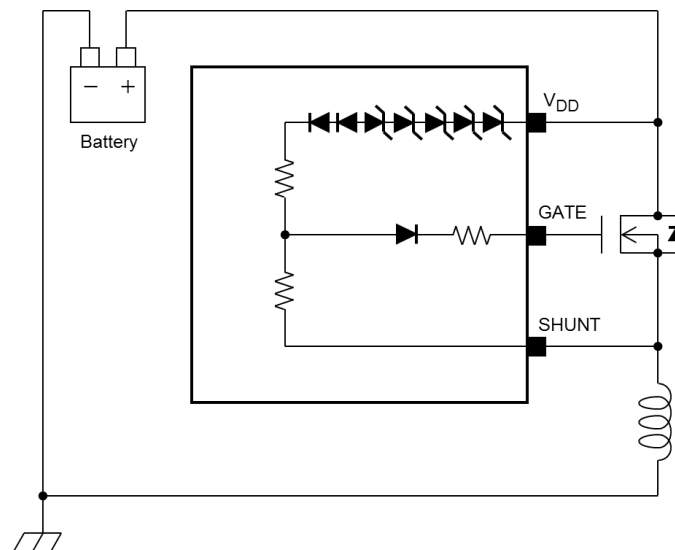
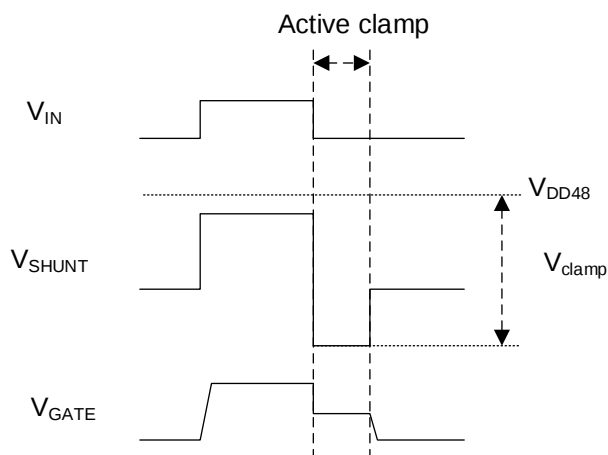


図 7.2 アクティブクランプ回路



- V_{IN} : IN 端子入力電圧
- V_{SHUNT} : SHUNT 端子入力電圧
- V_{GATE} : GATE 端子出力電圧
- V_{clamp} : アクティブクランプ電圧

図 7.3 アクティブクランプ動作のタイミングチャート

7.3. パワー-MOSFET のゲート駆動(オフドライバー)

本製品には、外付け FET のターンオフを制御するドライバー回路が 3 種類存在します。以下に各ドライバーの動作について説明します。

7.3.1. 通常オフドライバー、急速オフドライバー

通常オフドライバーは、IN 端子による制御で外付け FET をオフ状態にします。急速オフドライバーは、異常検出によるラッチ停止時に動作し、外付け FET のゲート電荷を急速に引き抜きます。急速オフドライバー動作時は、通常オフドライバーも並行して動作します。

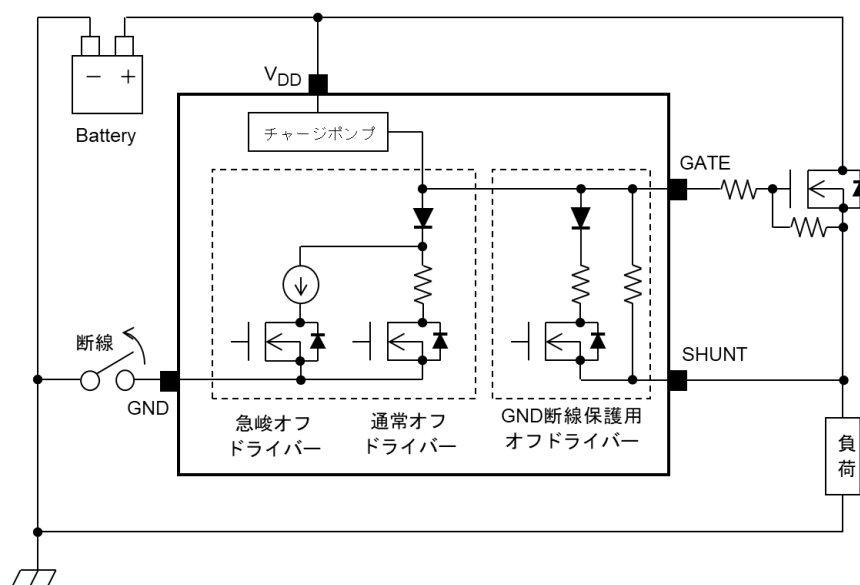


図 7.4 オフドライバー回路

7.3.2. GND 断線保護

GND 断線保護は、ユニットの GND 配線が断線した場合に、外付け FET の誤動作を防ぐ為、オフ状態を維持する機能です。図 7.5 に示すとおり、GND 端子がオープン状態では、GND 断線保護用オフドライバーが動作し、入力信号に関わらず外付け FET をオフします。

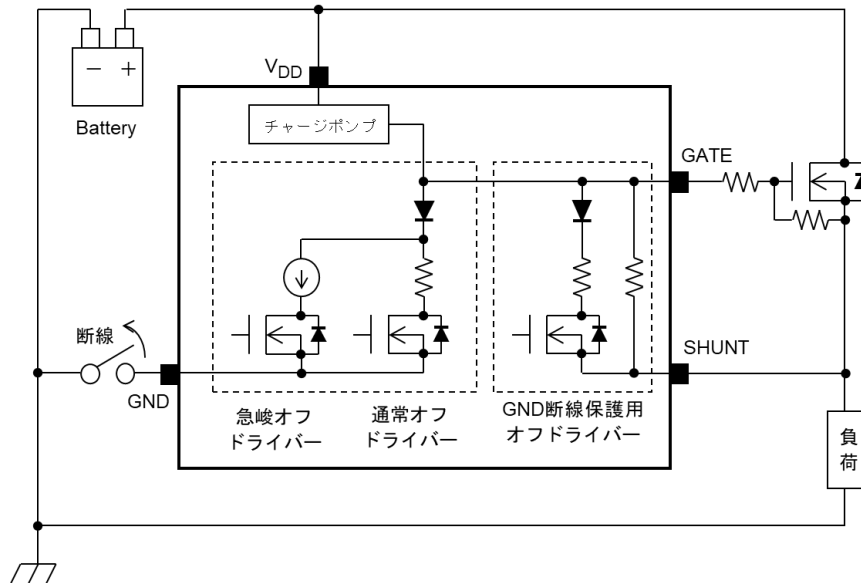
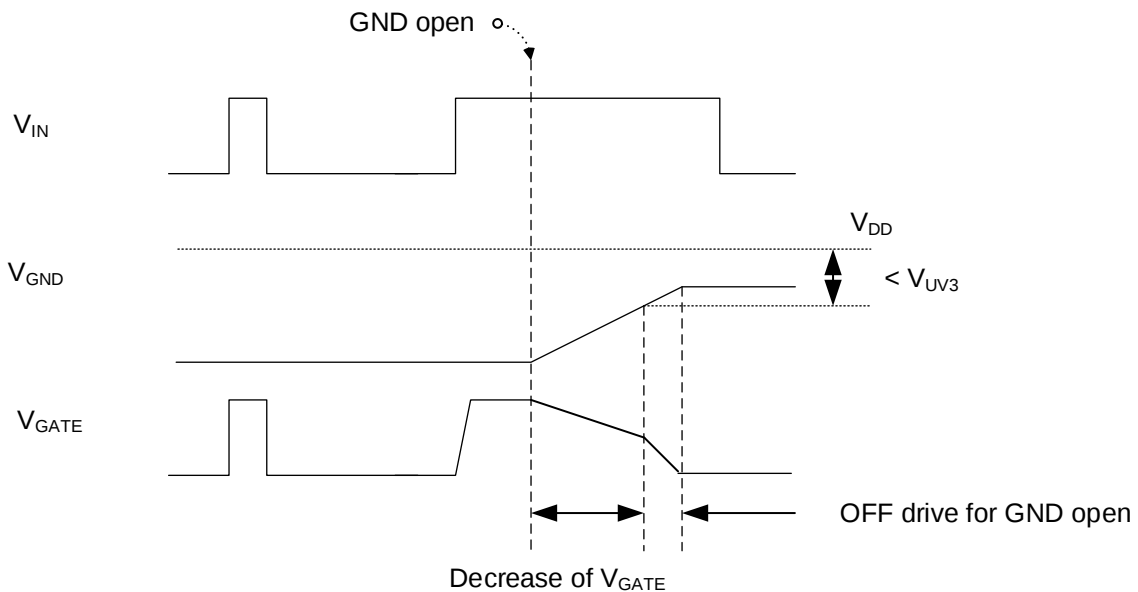


図 7.5 GND 断線保護回路



- V_{IN} : IN 端子入力電圧
- V_{GND} : GND 端子電圧
- V_{GATE} : GATE 端子出力電圧
- V_{UV3} : 低電圧ラッチしきい値

図 7.6 GND 断線保護動作

7.4. パワーMOSFET 駆動時の負荷電流センス

図 7.7 の電流センスアンプがシャント抵抗 R_s に流れる電流を電圧変換し、DIAG 端子から AD コンバーターが検出可能なアナログ電圧に変換します。

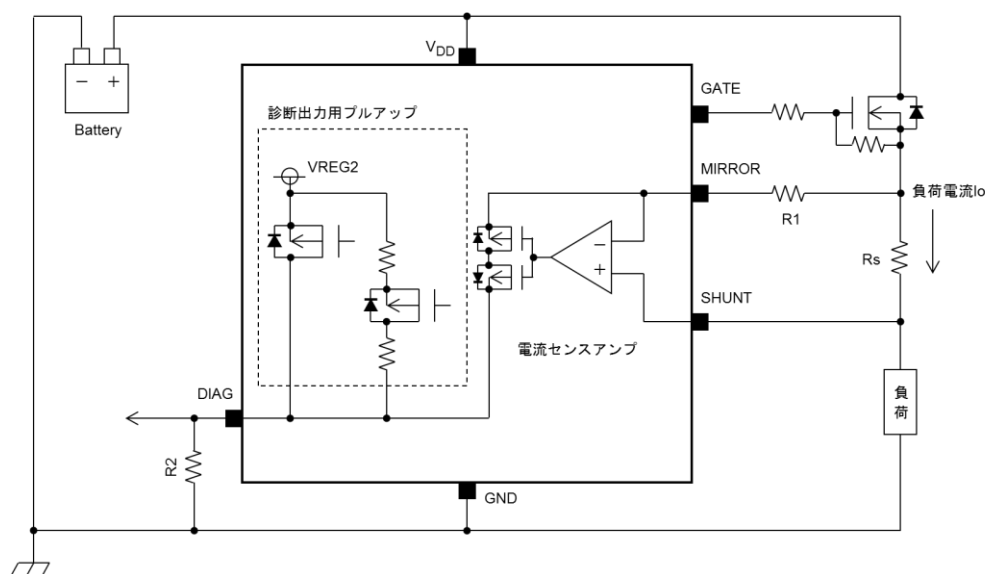


図 7.7 電流センスアンプ回路

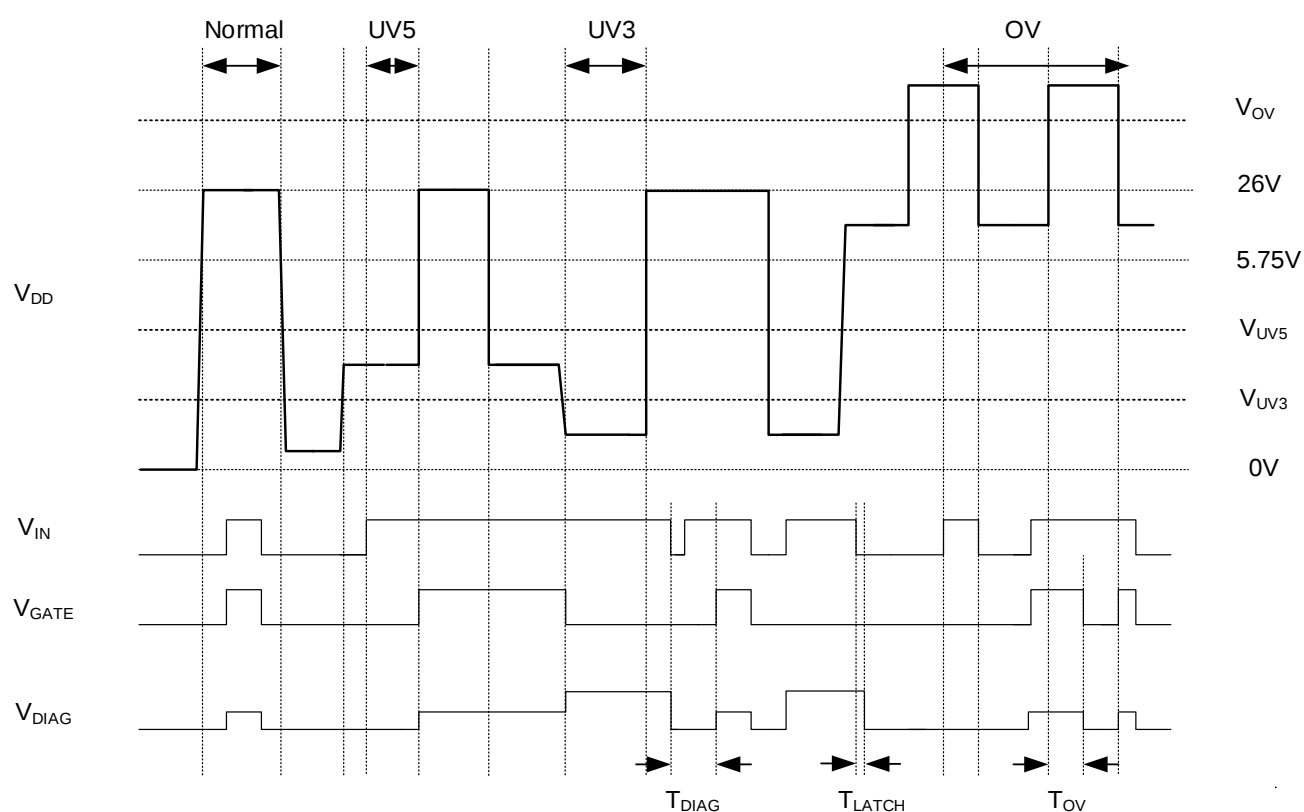
負荷電流センス出力電圧は下記で算出します。なお、異常を検出した場合には負荷電流センス出力モードから診断出力モードとなり、診断に応じて固定電圧を出力します。

$$V_{DIAG} = \frac{R_2}{R_1} \times (R_s \times I_O + V_{IO})$$

- V_{DIAG} : DIAG 端子出力電圧
- I_O : 負荷電流
- V_{IO} : 入力オフセット電圧

7.5. 電源電圧異常(V_{DD} 過電圧、 V_{DD} 電圧低下)

- V_{DD} 端子電圧が過電圧検出電圧(V_{OV})以上の場合、通常オフドライバが動作し、外付け FET がオフします。また、 V_{DD} 端子電圧が過電圧検出電圧以下の場合、外付け FET を再度駆動します。
 - $V_{IN}=H$ かつ、 $V_{DD}>V_{OV}$ の場合では、過電圧検出マスク時間(T_{OV})のマスク時間を経てオフドライバが動作します($V_{GATE}=H \rightarrow L$)。
 - $V_{DD}>V_{OV}$ かつ、 $V_{IN}=L \rightarrow H$ の場合では、 $V_{GATE}=L$ を維持します。
- V_{DD} 端子電圧が $V_{UV3}(2.7V)$ (標準)以下の場合、急速オフドライバが動作し、外付け FET をラッチオフし、DIAG に H 状態を出力します。
- $V_{DD}<V_{UV5}$ 下の場合、オフドライバが動作します。 V_{DD} が上昇し、 V_{DD} が V_{UV5} 以上となると通常動作に遷移します。
- $V_{GATE}=H$ の条件下で、 V_{DD} 端子電圧が低下しても $V_{DD}>V_{UV3}$ の範囲で V_{GATE} は H を維持し、外付け FET はオン状態となります。(低電圧拡張動作)

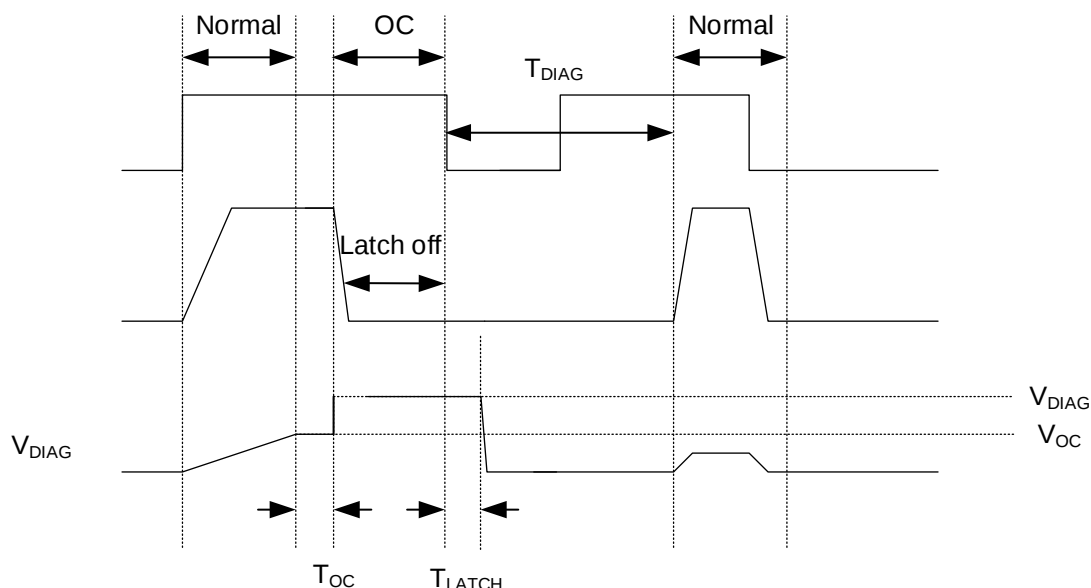


- V_{IN} : IN 端子入力電圧
- V_{GATE} : GATE 端子出力電圧
- V_{DIAG} : DIAG 端子出力電圧
- V_{UV3} : 低電圧ラッチしきい値
- V_{UV5} : 低電圧ラッチしきい値
- V_{OV} : 過電圧検出電圧
- T_{DIAG} : DIAG クリア待機時間
- T_{LATCH} : ラッチクリア待機時間
- T_{OV} : 過電圧検出マスク時間

図 7.8 電源電圧異常時の動作

7.6. 過電流保護

- DIAG 端子出力電圧(V_{DIAG})が過電流検出電圧(V_{OC})以上となった場合、外付け FET 保護のため急速オフドライバが動作し、オフ&ラッチとなり診断内容を出力します。
- 電源変動による過電流を誤検出しないようフィルター(過電流検出遅延時間 $T_{OC}=2.5\mu s$ 標準)を内蔵しています。
- $V_{IN}=H$ to L でラッチ解除します。DIAG のラッチ解除時は、 V_{IN} の立ち下がりから 10ms(最小)のクリア待機時間を設定しています(T_{DIAG})。待機時間内は、IN 端子による GATE 端子制御はマスクされます。



- V_{IN} : IN 端子入力電圧
- V_{GATE} : GATE 端子出力電圧
- V_{DIAG} : DIAG 端子出力電圧
- V_{OC} : 過電流検出電圧
- V_{DIAG1} : DIAG 出力電圧(High Level)
- T_{OC} : 過電流検出遅延時間
- T_{LATCH} : ラッチクリア待機時間
- T_{DIAG} : DIAG クリア待機時間

図 7.9 過電流保護

- 過電流しきい値電圧は、電源電圧、ジャンクション温度によって変化します。
 - V_{OC1} : $V_{DD}=3V, T_j=25^\circ C$
 - V_{OC2} : $T_j=25^\circ C$
 - V_{OC3} : $V_{DD}=3V, T_j=125^\circ C$
 - V_{OC4} : $T_j=125^\circ C$
- 外付け FET のドレイン・ソース間電圧異常発生時、過電流検出電圧は V_{OC2}, V_{OC4} の 66%(標準)に低下します。
- 低電圧検出(UV5)時、過電流検出電圧は V_{OC2}, V_{OC4} の 50%(標準)に低下します。

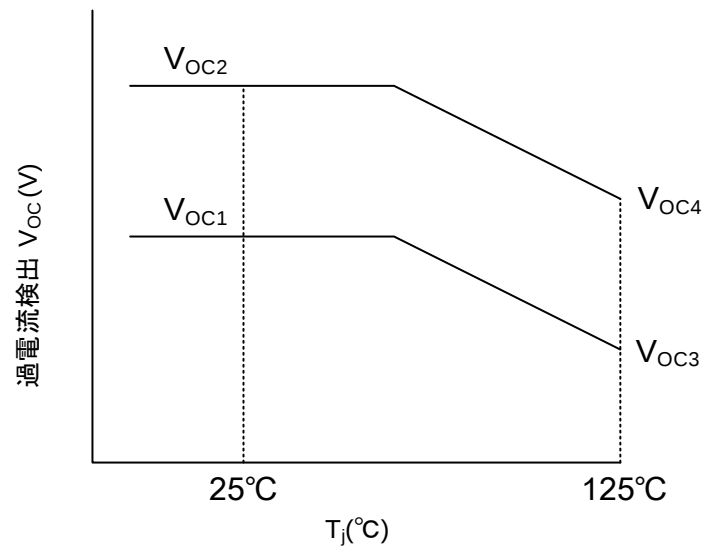
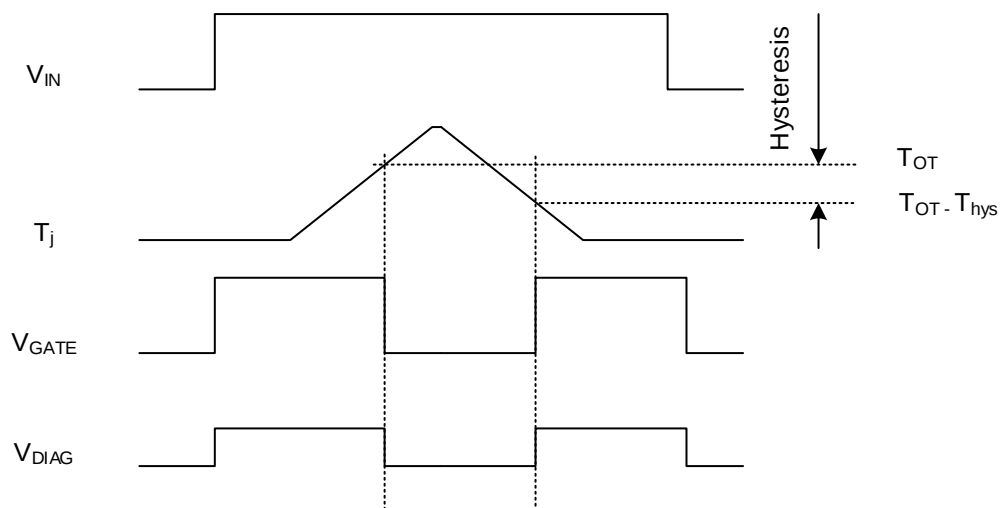


図 7.10 過電流検出のジャンクション温度依存性

7.7. 過熱保護

過熱保護は本製品と MOSFET の温度上昇による破壊を防ぐ為、本製品のジャンクション温度が過熱検出温度を越えると通常オフドライバが動作し、外付け FET をオフします。また、ジャンクション温度がヒステリシス設定温度以下になると本製品は正常動作に復帰します。

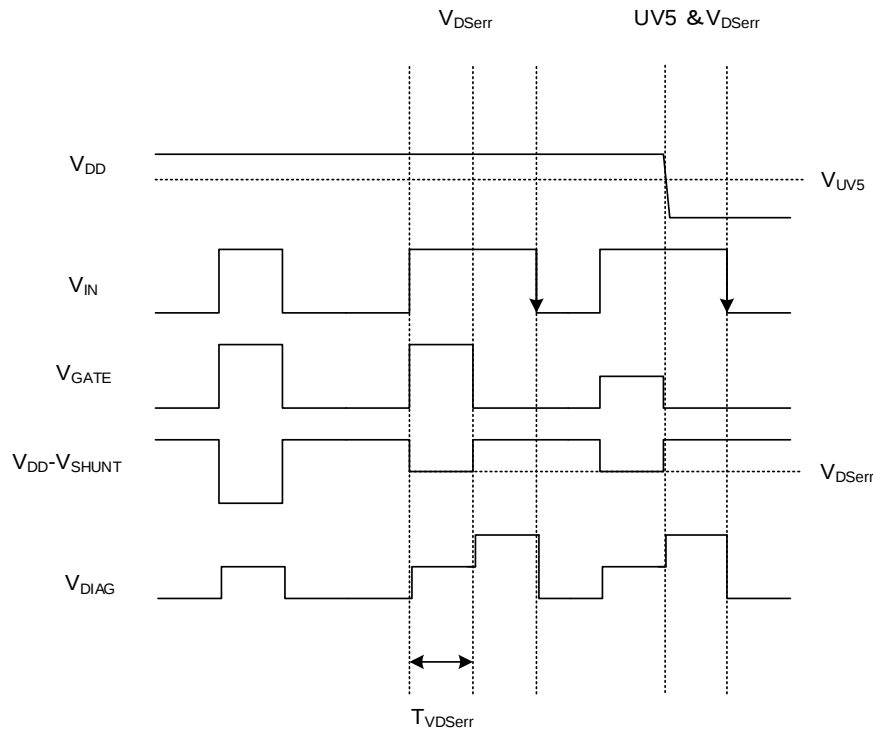


- V_{IN} : IN 端子入力電圧
- V_{GATE} : GATE 端子出力電圧
- V_{DIAG} : DIAG 端子出力電圧
- T_{OT} : 過熱検出温度
- T_{hys} : 過熱保護ヒステリシス

図 7.11 過熱保護

7.8. 外付け FET のドレイン・ソース間電圧異常(VDS error)

- 外付け FET のドレイン・ソース間電圧は V_{DD} 端子、SHUNT 端子で差電圧を監視します。ドレイン・ソース間電圧が VDS error 検出しきい値(1.4V(typ.))を越えると、急速オフドライバが動作し、外付け FET をオフ&ラッチ状態にします。診断出力は H 状態となります。
- ドレイン・ソース間電圧異常と、低電圧(UV5)状態が同時に発生したケースでは、検出時間無く急速オフドライバが動作し、外付け FET をオフ&ラッチ状態にします。診断出力は H 状態となります。
- $V_{IN}=H$ to L で GATE 端子と、DIAG 端子のラッチを解除します。
- エラー検出時はノイズによる誤動作を防ぐ為、検出時間(T_{VDSerr})後に異常と判定します。



- V_{IN} : IN 端子入力電圧
- V_{GATE} : GATE 端子出力電圧
- $V_{DD}-V_{SHUNT}$: V_{DD} 端子, SHUNT 端子間電圧
- V_{DIAG} : DIAG 端子出力電圧
- T_{VDSerr} : VDSerr 検出時間

図 7.12 外付け FET ドレイン・ソース間電圧異常

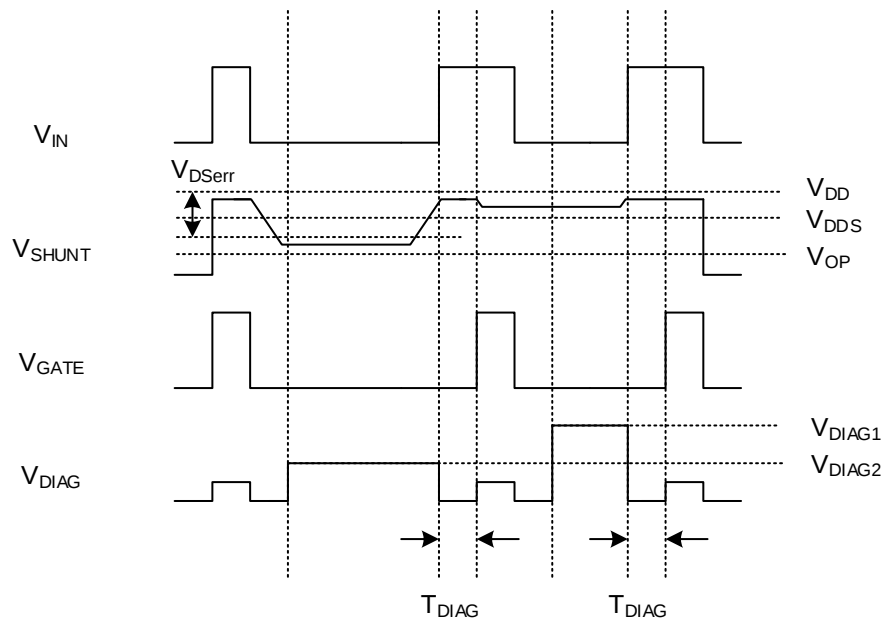
7.9. 負荷オープン/負荷天絡検出および診断出力

負荷オープンは、SHUNT 端子に接続される負荷の断線を検出します。負荷天絡は、SHUNT 端子に接続される負荷の天絡を検出します。以下に回路例を示します(図 7.14)。各項目の検出条件、DIAG 端子出力電圧は下表の通りとなります。

表 7.1 負荷オープン検出、天絡検出

項目	検出条件	DIAG 出力電圧
負荷オープン検出	$V_{OP} < V_{SHUNT}$ $V_{DSerr} < V_{DD} - V_{SHUNT}$	2.3V(最小)
負荷天絡検出	$V_{DDS} < V_{SHUNT}$ $V_{DD} - V_{SHUNT} < V_{DSerr}$	4.3V(最小)

- DIAG 出力電圧は、 V_{IN} の立ち上がりエッジから DIAG クリア待機時間(T_{DIAG})後に通常動作へ遷移します。下図タイミングチャート参照。



- V_{IN} : IN 端子入力電圧
- V_{SHUNT} : SHUNT 端子入力電圧
- V_{GATE} : GATE 端子出力電圧
- V_{DIAG} : DIAG 端子出力電圧
- V_{DIAG1} : DIAG 出力電圧(High level)
- V_{DIAG2} : DIAG 出力電圧(負荷オープン)
- V_{OP} : 負荷オープン検出電圧
- V_{DDS} : 天絡検出電圧
- T_{DIAG} : DIAG クリア待機時間

図 7.13 負荷オープン/天絡検出

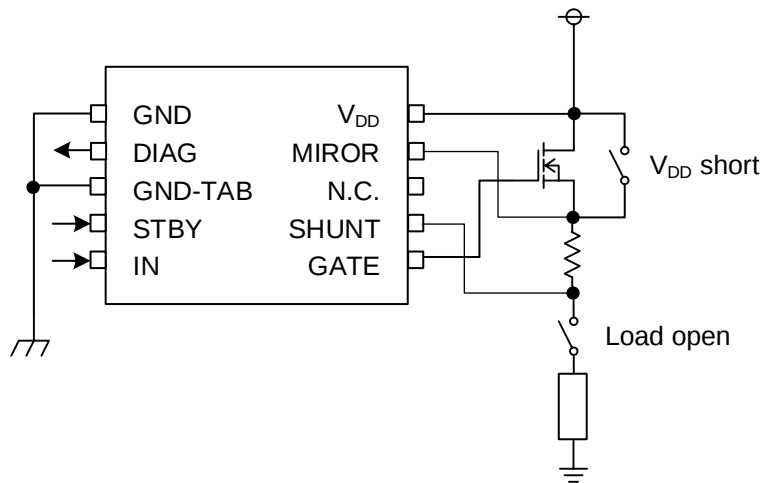


図 7.14 負荷オープン/天絡検出回路例

7.10. 真理値表

表 7.2 真理値表

動作モード	STBY	IN	SHUNT,MIRROR	GATE	DIAG
通常動作(スタンバイ)	L	X	X	L	L
通常動作	H	H	H ($\approx V_{DD}$)	H	analog
過電圧検出(1) ($V_{OV} < V_{DD}$)	H	L	L	L	L
過電圧検出(2) ($V_{OV} < V_{DD}$)	H	H	H ($\approx V_{DD}$)	L (注 1)	L (注 1)
過熱検出	H	X	X	L	L
UV5 ($V_{DD} < V_{UV5}$)	H	X	X	L	L
UV3 ($V_{DD} < V_{UV3}$)	H	X	X	L (ラッチオフ)	H (ラッチ)
過電流検出	H	X	X	L (ラッチオフ)	H (ラッチ)
VDS 異常	H	X	$V_{DSerr} < (V_{DD} - V_{SHUNT})$	L (注 2) (ラッチオフ)	H (注 2) (ラッチ)
VDS 異常 ・ UV5 ($V_{DD} < V_{UV5}$)	H	X	$V_{DSerr} < (V_{DD} - V_{SHUNT})$	L (ラッチオフ)	H (ラッチ)
負荷オープン検出	H	L	$V_{OP} < V_{SHUNT}$	L	V_{DIAG2}
天絡検出	H	L	H ($\approx V_{DD}$)	L	H

注 1. マスク時間 400 μ s(標準)

注 2. マスク時間 13ms(標準)

7.11. 状態遷移図

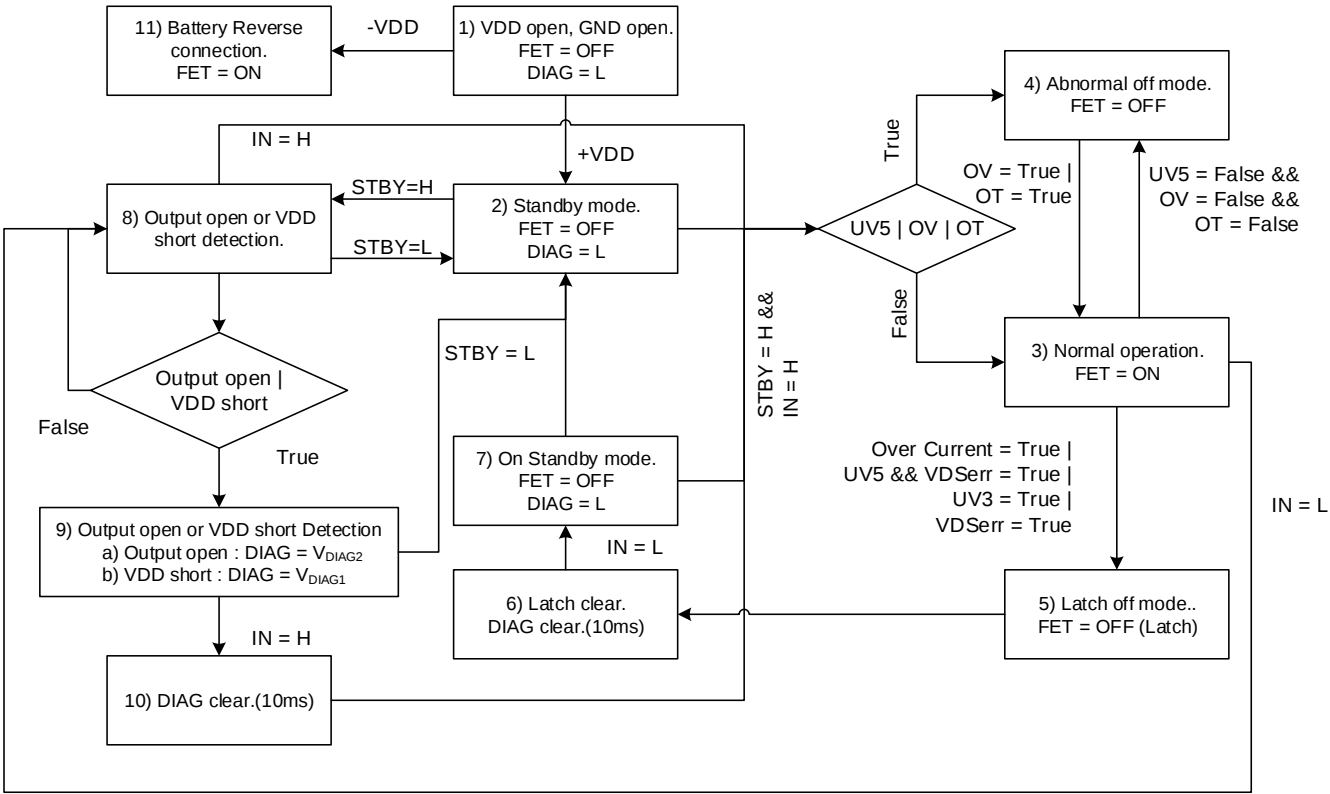


図 7.15 状態遷移図

8. 絶対最大定格

表 8.1 絶対最大定格

(特に規定しない限り、 $T_a = 25^{\circ}\text{C}$)

項目	記号	定格	単位	備考
電源電圧	$V_{DD(1)}$	-16 ~ 26	V	電源電圧
	$V_{DD(2)}$	-36 ~ 36	V	$t \leq 400\text{ms}$
	$V_{DD(3)}$	-40 ~ 40	V	$t \leq 20\text{ms}$
入力電圧	$V_{IN(1)}$	-16 ~ 26	V	IN, STBY, SHUNT, MIRROR
	$V_{IN(2)}$	-36 ~ 36	V	IN, STBY, SHUNT, MIRROR $t \leq 400\text{ms}$
	$V_{IN(3)}$	-40 ~ 40	V	IN, STBY, SHUNT, MIRROR $t \leq 20\text{ms}$
出力ソース電流	$I_{GATE(+)}$	内部能力	mA	GATE
出力シンク電流	$I_{GATE(-)}$	5	mA	GATE
出力電圧	V_{GATE}	-0.3 ~ 40	V	GATE
DIAG 出力電圧	V_{DIAG}	-0.3 ~ 6	V	DIAG
DIAG 出力電流	I_{DIAG}	5	mA	DIAG
許容損失	P_D	1.84	W	-
動作温度	T_{opr}	-40 ~ 125	$^{\circ}\text{C}$	-
ジャンクション温度	T_j	150	$^{\circ}\text{C}$	-
保存温度	T_{stg}	-55 ~ 150	$^{\circ}\text{C}$	-

注: 本製品の使用条件(使用温度/電流/電圧など)が絶対最大定格/動作範囲以内での使用においても、高負荷(高温および大電流/高電圧印加、多大な温度変化など)で連続して使用される場合は、信頼性が著しく低下するおそれがあります。弊社半導体信頼性ハンドブック(取り扱い上のご注意とお願いおよびディレーティングの考え方と方法)および個別信頼性情報(信頼性試験レポート、推定故障率など)をご確認の上、適切な信頼性設計をお願いします。

8.1. 熱抵抗特性

表 8.2 熱抵抗特性

項目	記号	定格	単位
ジャンクション・周囲間熱抵抗	$R_{th(j-a)}$	67.6	$^{\circ}\text{C} / \text{W}$

注: ガラスエポキシ基板
 材質: FR-4(4層), 基板サイズ: 76.2mm×114.3mm×1.6mm
 ビア: $\phi 0.3\text{mm}$ (2点)

9. 動作範囲

表 9.1 動作範囲

項目	記号	条件	最小	標準	最大	単位
動作電源電圧	V_{DD}	$T_j = -40 \sim 125^\circ\text{C}$	5.75	12.00	26.00	V

10. 電気的特性

10.1. 電気的特性 1

表 10.1 電気的特性 1

(特に規定しない限り $T_j = -40 \sim 125^\circ\text{C}$, $V_{DD} = 5.75 \sim 26\text{V}$)

項目	記号	端子	測定条件	最小	標準	最大	単位
動作電源電圧	$V_{DD(opr)}$	V_{DD}	-	5.75	12.00	26.00	V
消費電流	$I_{DD(off)}$	V_{DD}	$V_{DD} = 16\text{V}$, スタンバイ時, $T_j = 25^\circ\text{C}$	-	-	3	μA
	$I_{DD(on)}$	V_{DD}	$V_{DD} = 12\text{V}$, $V_{IN} = V_{IH}$, $T_j = 25^\circ\text{C}$	-	2	3	mA
ハイレベル入力電圧	V_{IH}	IN, STBY	-	2.4	-	-	V
ローレベル入力電圧	V_{IL}	IN, STBY	-	-	-	0.6	
ヒステリシス	V_{Ihys}	IN, STBY	-	-	0.5	-	V
入力電流	I_{IH}	IN, STBY	$V_{IN} = 5\text{V}$	-	21	50	μA
	I_{IL}	IN, STBY	$V_{IN} = 0\text{V}$	-1	-	1	
ハイレベル出力電圧(1)	V_{GATEH1}	GATE	$V_{DD} = 3\text{V}$, $V_{IN} = V_{IH}$, GATE-SHUNT 間 $200\text{k}\Omega$	$V_{DD} + 6.5$	$V_{DD} + 8.6$	-	V
ハイレベル出力電圧(2)	V_{GATEH2}	GATE	$V_{DD} = 5.75 \sim 26\text{V}$, $V_{IN} = V_{IH}$, GATE-SHUNT 間 $200\text{k}\Omega$	$V_{DD} + 7.5$	$V_{DD} + 10.0$	$V_{DD} + 12.5$	V
ハイレベル出力電圧(3)	V_{GATEH3}	GATE	$V_{DD} = -12\text{V}$ 測定回路 1	6	-	-	V
ローレベル出力電圧	V_{GATEL}	GATE	$V_{IN} = V_{IL}$	-	-	0.5	V
アクティブクランプ電圧	V_{clamp}	V_{DD} , SHUNT	$V_{IN} = V_{IL}$, $V_{GATE} = 2\text{V}$, $V_{SHUNT} = 0\text{V}$	35	39	-	V
ラッチ解除マスク時間	T_{LATCH}	-	$V_{IN} = V_{IL}$	-	50	-	μs
スイッチングタイム	T_{d-ON}	GATE	測定回路 2, $T_j = 25^\circ\text{C}$	-	35	55	μs
	T_{d-OFF}			-	154	195	
	T_r			-	321	460	
	T_f			-	138	176	

10.2. 電気的特性 2

表 10.2 電気的特性 2

(特に規定しない限り $T_j = -40 \sim 125^\circ\text{C}$, $V_{DD}=5.75 \sim 26\text{V}$)

項目	記号	端子	測定条件	最小	標準	最大	単位
GND オープン時オフインピーダンス	R_{GO}	GATE	測定回路 3	25	51	80	k Ω
GATE-SHUNT 間抵抗	R_{GSH}	GATE	-	500	1000	2000	k Ω
急速オフ電流	I_{GL}	GATE	ラッチ停止時	100	237	500	mA
過電流検出(1)	V_{OC1}	DIAG	$V_{DD}=3\text{V}, T_j=25^\circ\text{C}$	-	1.75	-	V
過電流検出(2)	V_{OC2}	DIAG	$T_j=25^\circ\text{C}$	3.25	3.45	3.65	V
過電流検出(3)	V_{OC3}	DIAG	$V_{DD}=3\text{V}, T_j=125^\circ\text{C}$	-	1.4	-	V
過電流検出(4)	V_{OC4}	DIAG	$T_j=125^\circ\text{C}$	2.6	2.8	3.2	V
VDS error 時 過電流しきい値ダウン率	-	-	V_{DSerr} 検出時	-	66	-	%
低電圧時 過電流しきい値ダウン率	-	-	UV5 検出時	-	50	-	%
過電流検出遅延時間	T_{OC}	-	-	-	2.5	10.0	μs
過熱検出温度	T_{OT}	-	$V_{STBY} = V_{IH}$	150	169	200	$^\circ\text{C}$
過熱保護ヒステリシス	T_{hys}	-	-	-	16	-	$^\circ\text{C}$
低電圧ラッチしきい値 (UV3)	V_{UV3}	V_{DD}	$V_{STBY} = V_{IH}$	2.5	2.7	3.0	V
低電圧検出しきい値(UV5)	V_{UV5}	V_{DD}	$V_{STBY} = V_{IH}$	4.15	4.40	4.65	V
UV5 解除電圧	V_{UV5R}	V_{DD}	$V_{STBY} = V_{IH}$	4.9	5.1	5.4	V
過電圧検出電圧(OV)	V_{OV}	V_{DD}	$V_{STBY} = V_{IH}$	26.0	27.4	30.0	V
過電圧検出マスク時間	T_{OV}	V_{DD}	$V_{STBY} = V_{IH}$	150	400	650	μs
VDS error 検出しきい値	V_{DSerr}	V_{DD} SHUNT	$V_{STBY} = V_{IH}, V_{IN} = V_{IH}$	1.0	1.4	2.0	V
VDS error 検出時間	T_{VDSerr}	V_{DD} SHUNT	$V_{STBY} = V_{IH}, V_{IN} = V_{IH}$	10	13	20	ms
SHUNT リーク電流	I_{SHUNTS}	SHUNT	$V_{IN} = V_{STBY} = L$, $V_{SHUNT} = 0\text{V}, V_{DD} = 16\text{V}$	-	-	1.5	μA
負荷オープン検出抵抗	R_{OP}	SHUNT	-	5	11	20	k Ω
負荷オープン検出電圧	V_{OP}	SHUNT	$V_{STBY} = V_{IH}, V_{IN} = V_{IL}$	2.0	2.6	-	V
天絡検出電圧	V_{DDS}	SHUNT	$V_{STBY} = V_{IH}, V_{IN} = V_{IL}$	$V_{DD}-2$	-	V_{DD}	V
DIAG クリア待機時間	T_{DIAG}	DIAG	$V_{STBY} = V_{IH}$ 異常検出解除時	10	-	20	ms
DIAG 出力電圧 (High level)	V_{DIAG1}	DIAG	異常検出時 DIAG-GND 間 10 k Ω	4.3	-	5.0	V
DIAG 出力電圧 (負荷オープン)	V_{DIAG2}	DIAG	負荷オープン検出時 DIAG-GND 間 10 k Ω	2.3	-	3.8	V

10.3. 電流センスアンプ電氣的特性

表 10.3 電流センスアンプ電氣的特性

(特に指定のない場合、 $T_j = -40 \sim 125^\circ\text{C}$ 、 $V_{DD} = 5.75 \sim 26\text{V}$)

項目	記号	端子	測定条件	最小	標準	最大	単位
同相入力電圧範囲	CMV_{IN}	SHUNT, MIRROR	-	2.5	-	V_{DD}	V
入力オフセット電圧	V_{IO}	SHUNT, MIRROR	$V_{DD}=13.5\text{V}$, $T_j=25^\circ\text{C}$ 測定回路 4	-2	-	2	mV
入力オフセット電圧温度ドリフト	V_{IOT}	SHUNT, MIRROR	$V_{DD}=13.5\text{V}$, $T_j=25^\circ\text{C}$ 測定回路 4	-10	-	10	$\mu\text{V}/^\circ\text{C}$
SHUNT 端子電流	I_{SHUNT}	SHUNT	$V_{SHUNT}=V_{DD}$, $V_{IN}=5\text{V}$	-	-	5	μA
MIRROR 端子電流	I_{MIRROR}	MIRROR	$V_{MIRROR}=V_{DD}$, $V_{IN}=5\text{V}$	-	-	5	μA

11. 測定回路

11.1. 測定回路 1 ハイレベル出力電圧(3)

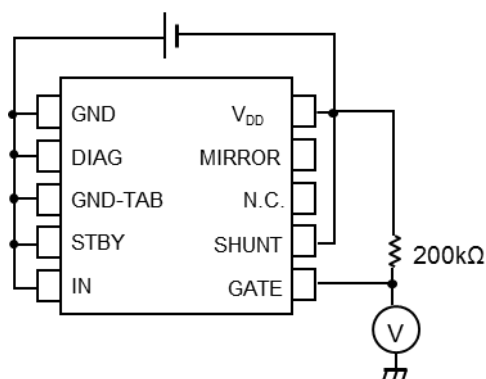


図 11.1 測定回路 1

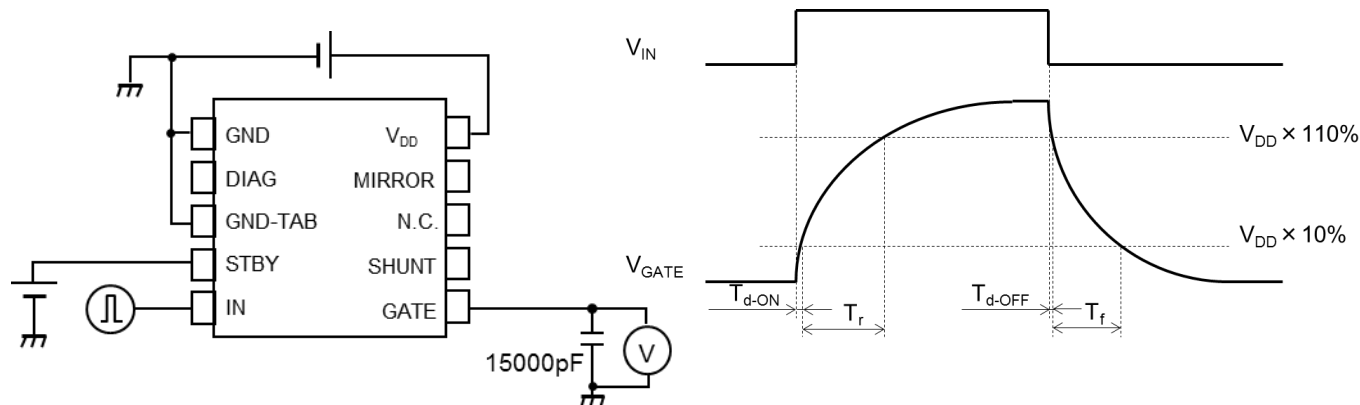
11.2. 測定回路 2 スイッチングタイム(T_{d-ON} , T_{d-OFF} , T_r , T_f)

図 11.2 測定回路 2

11.3. 測定回路 3 GND オープン時オフインピーダンス

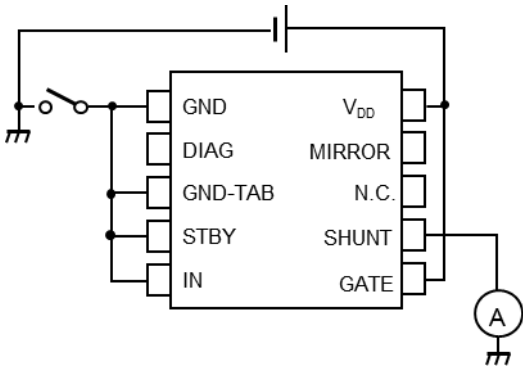


図 11.3 測定回路 3

11.4. 測定回路 4 入力オフセット電圧

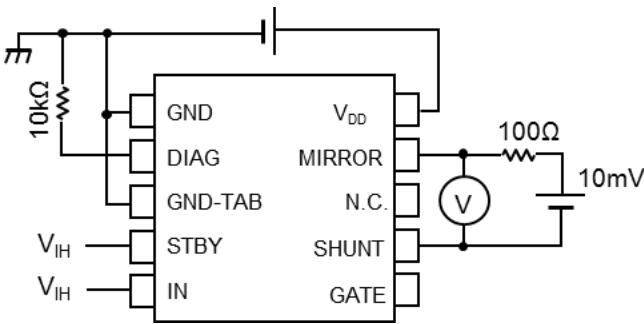
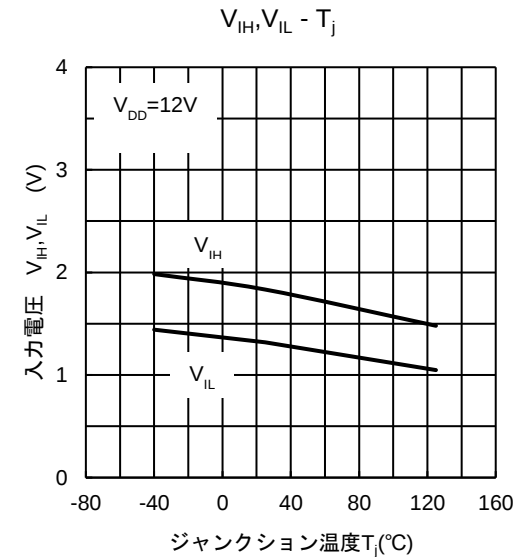
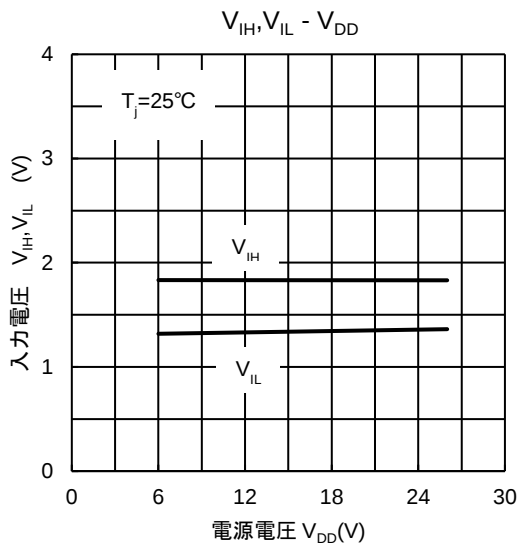
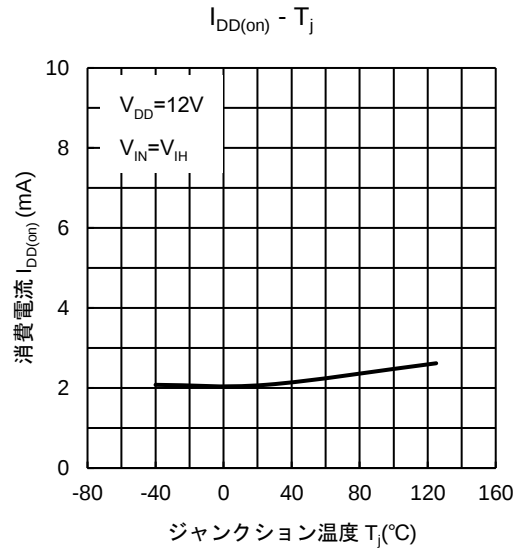
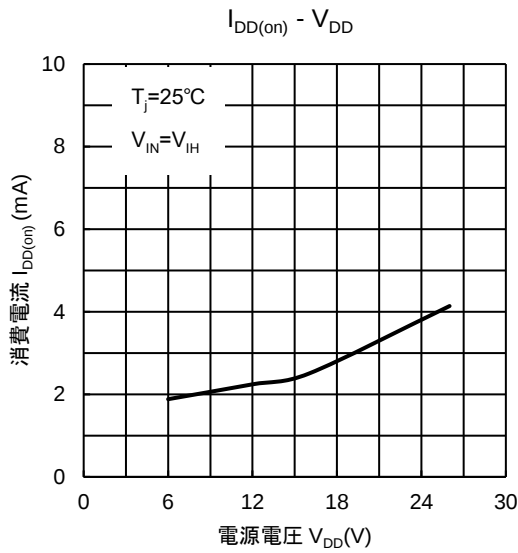
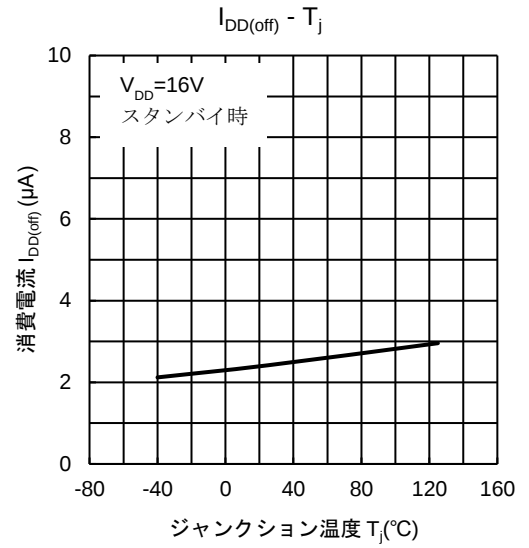
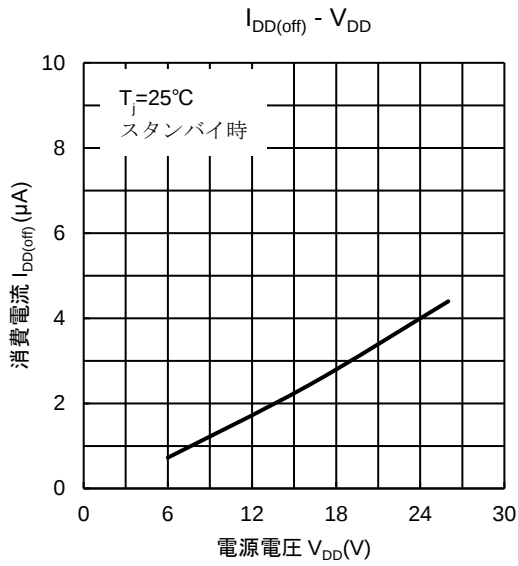
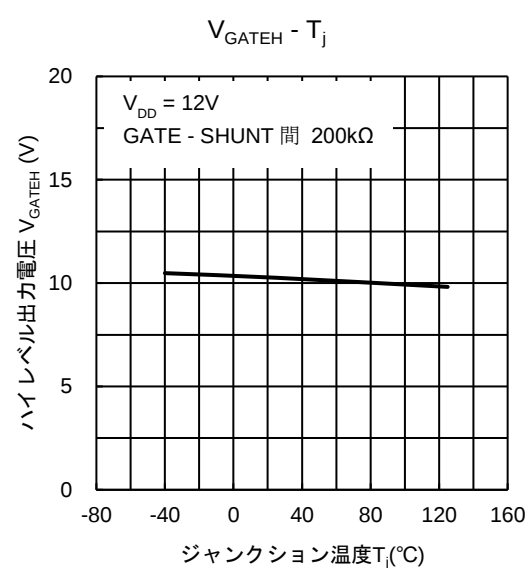
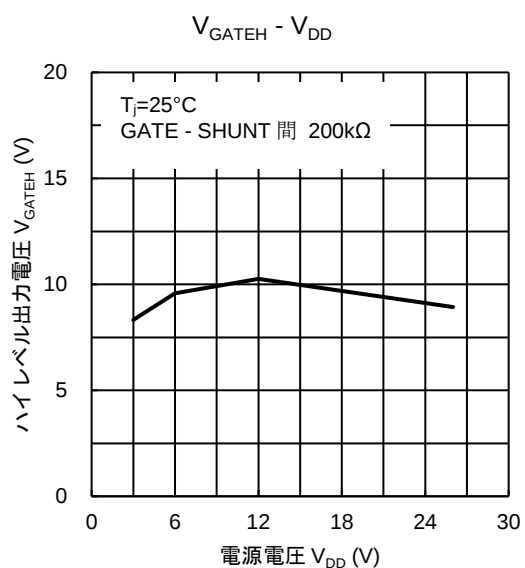
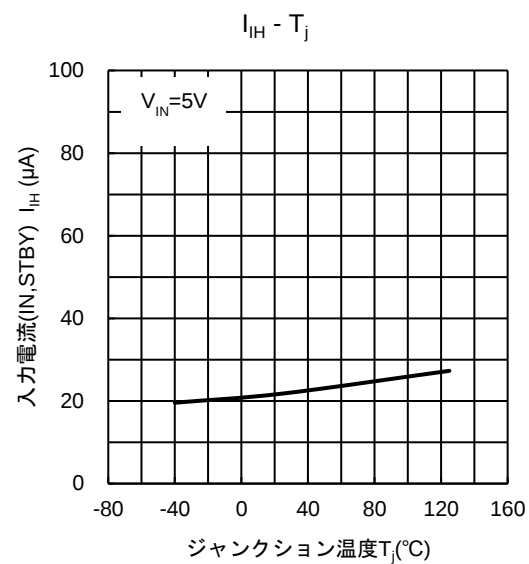
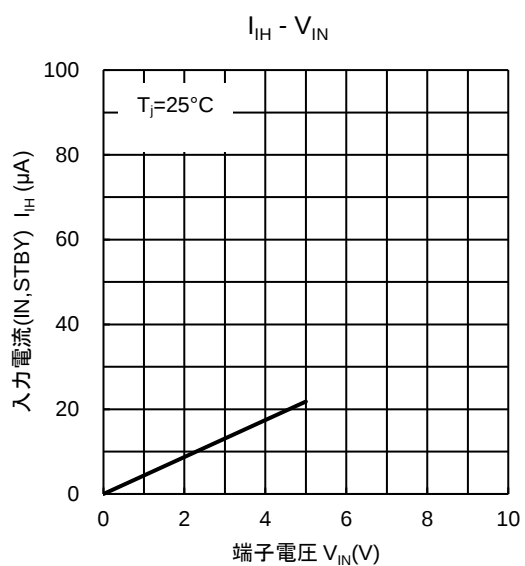
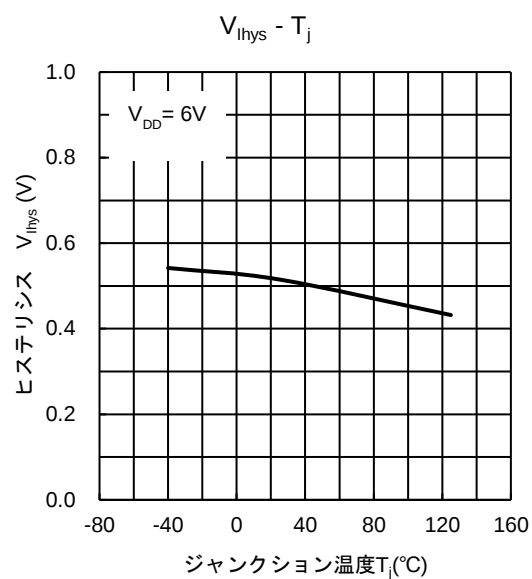
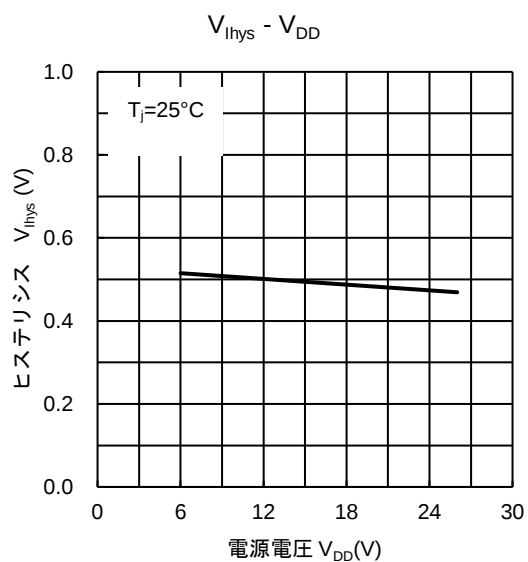


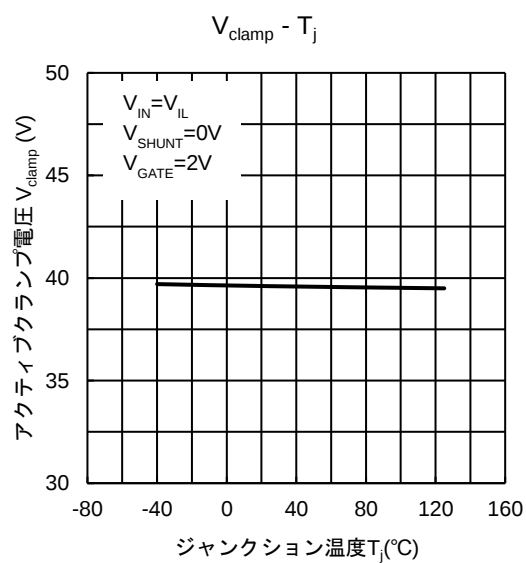
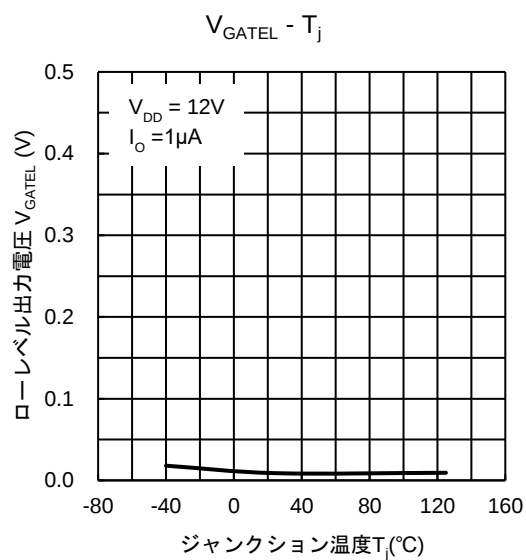
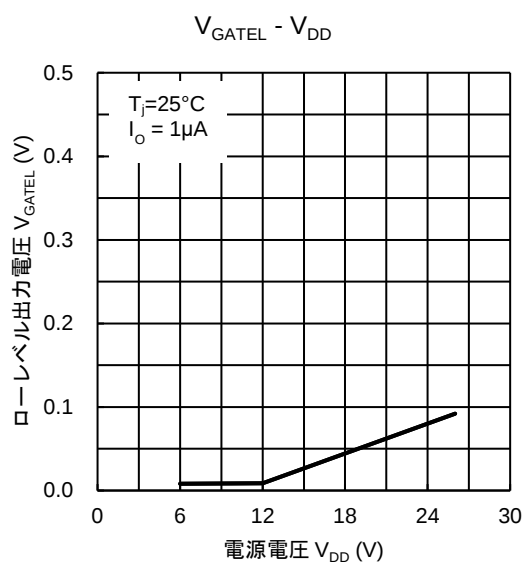
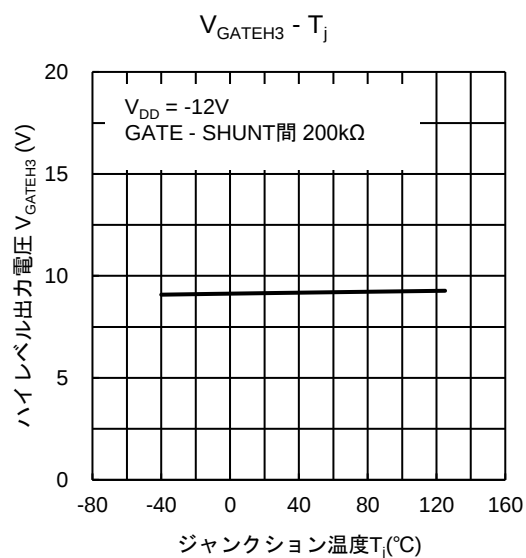
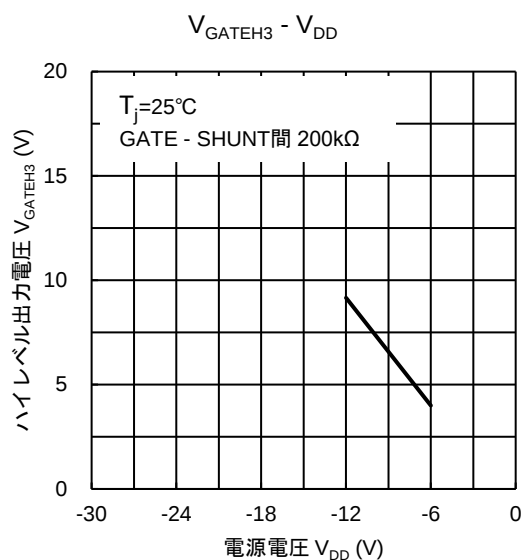
図 11.4 測定回路 4

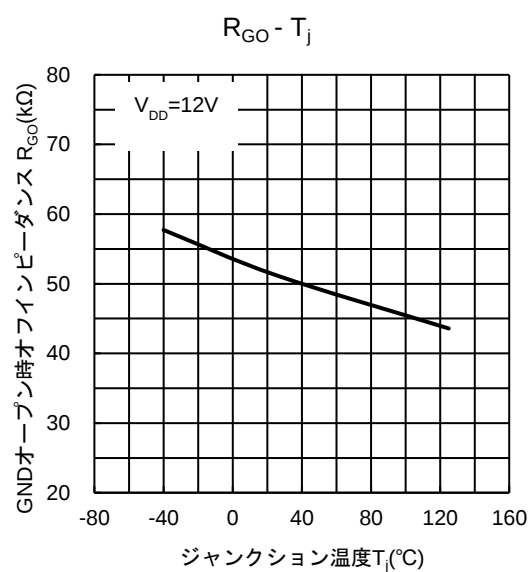
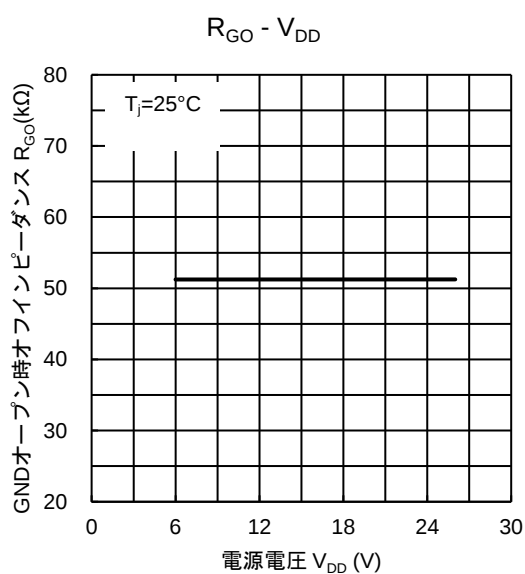
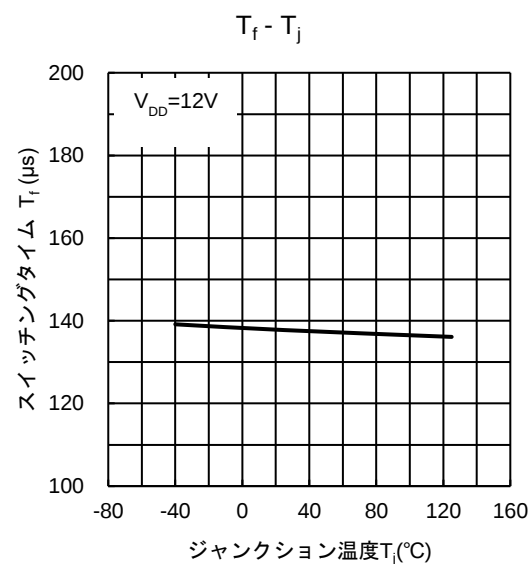
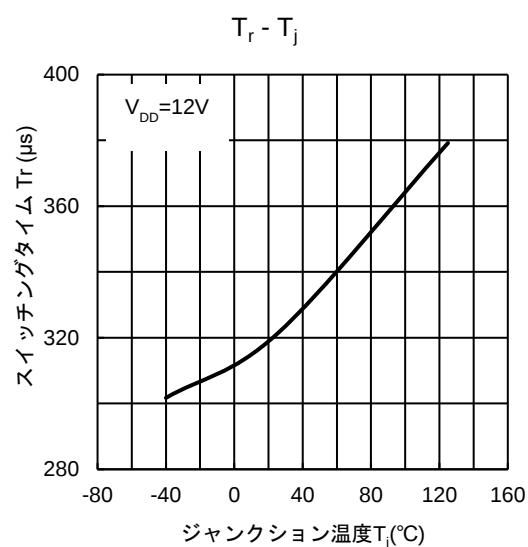
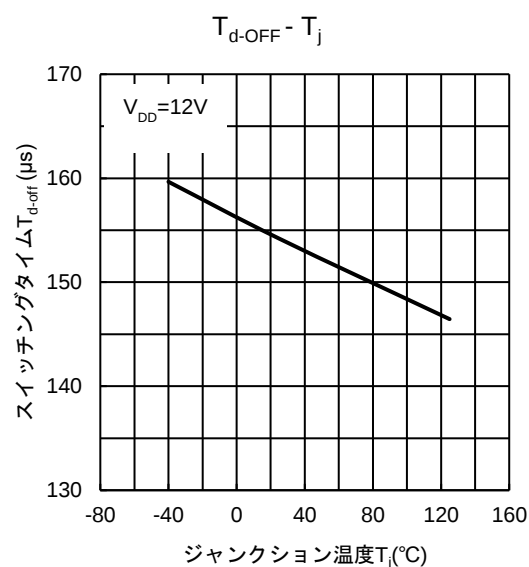
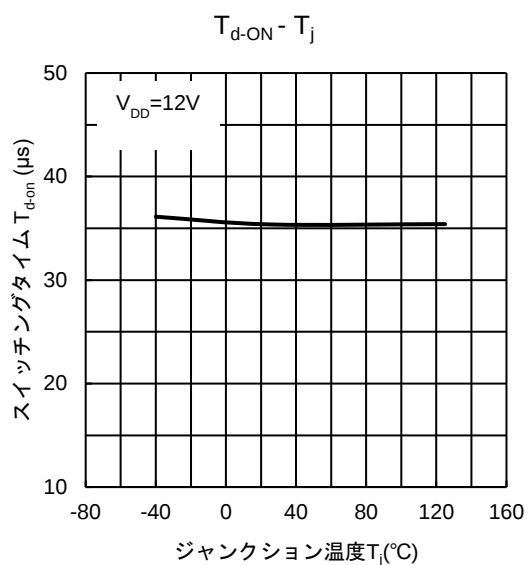
12. 特性図

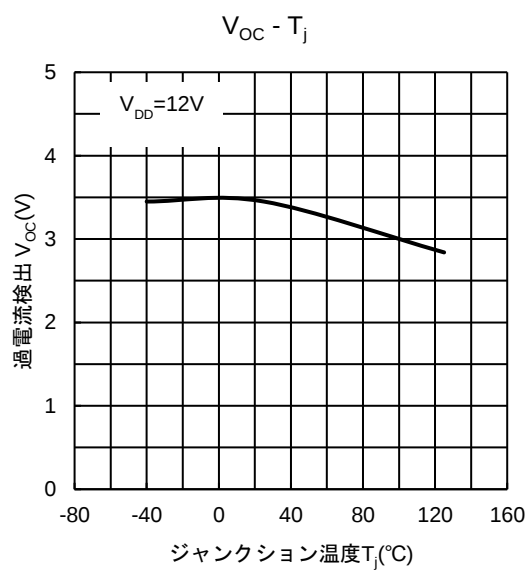
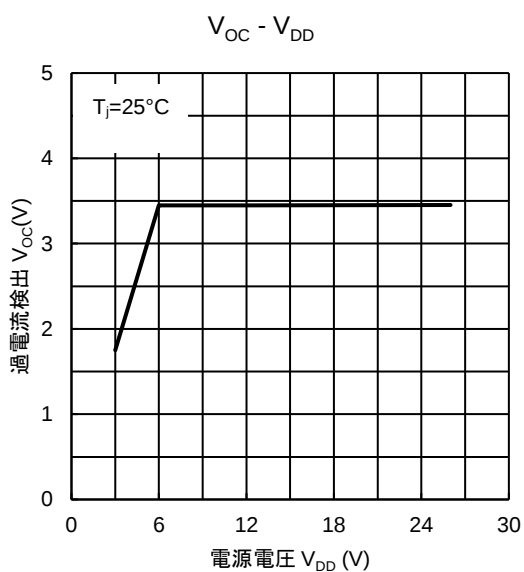
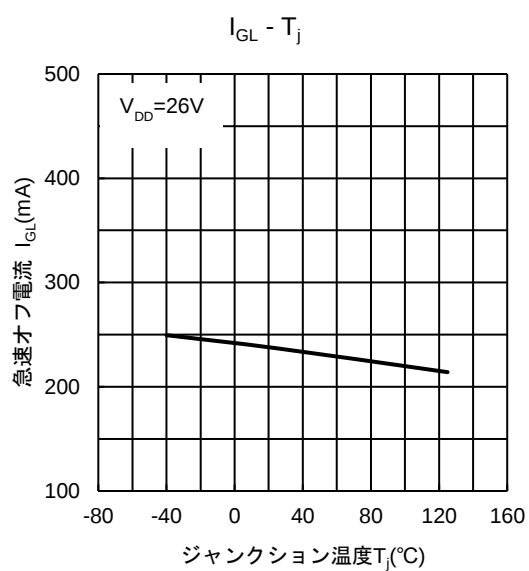
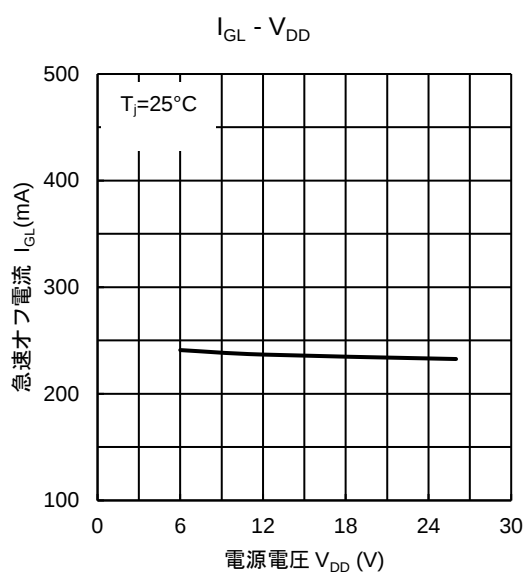
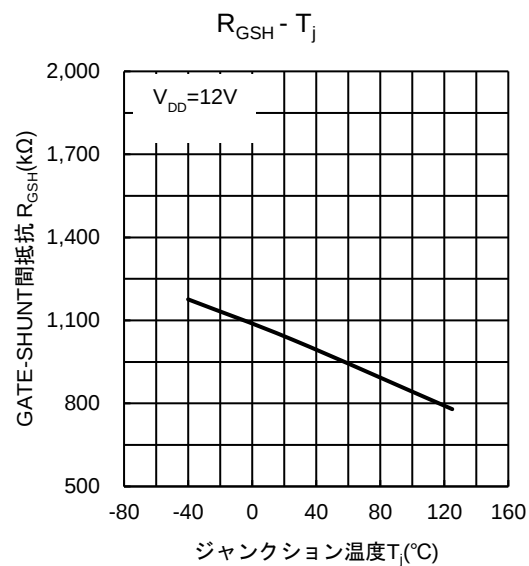
特性図の値は、特に指定のない限り保証値ではなく参考値です。

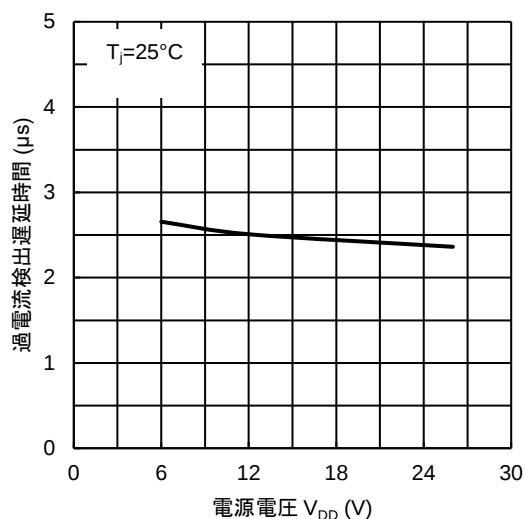
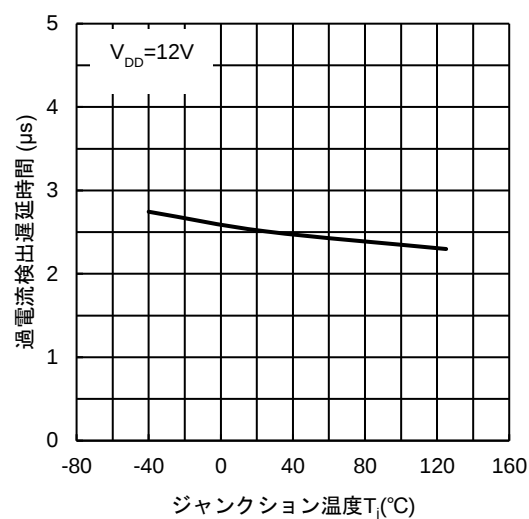
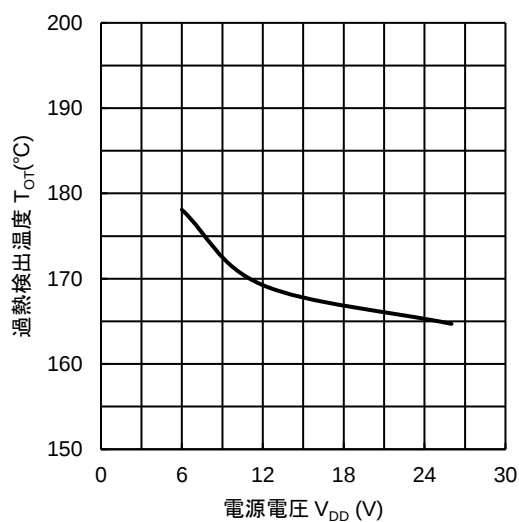
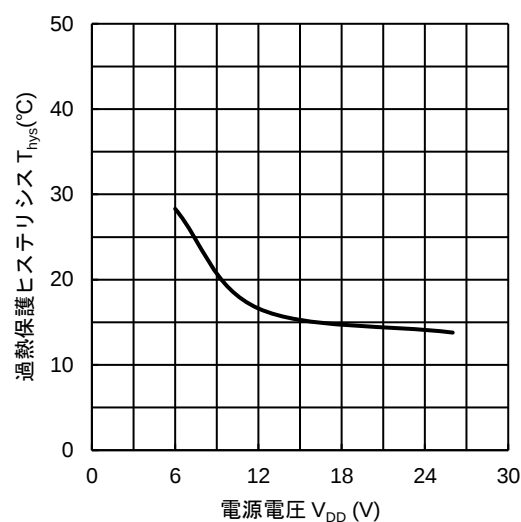
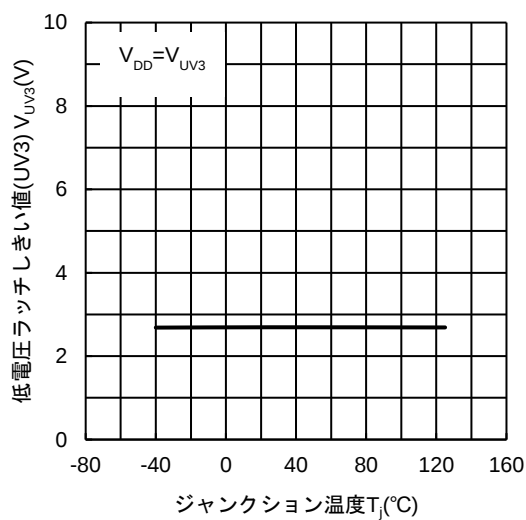
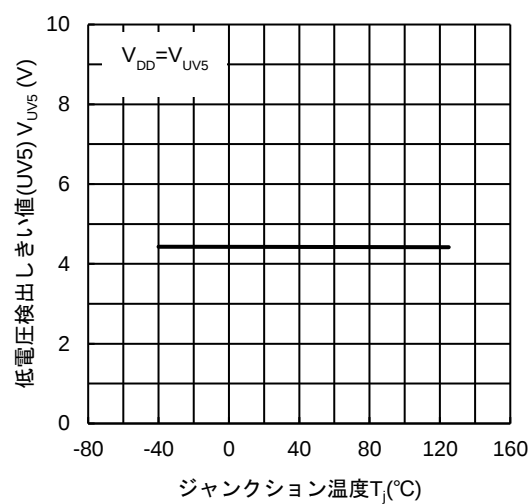


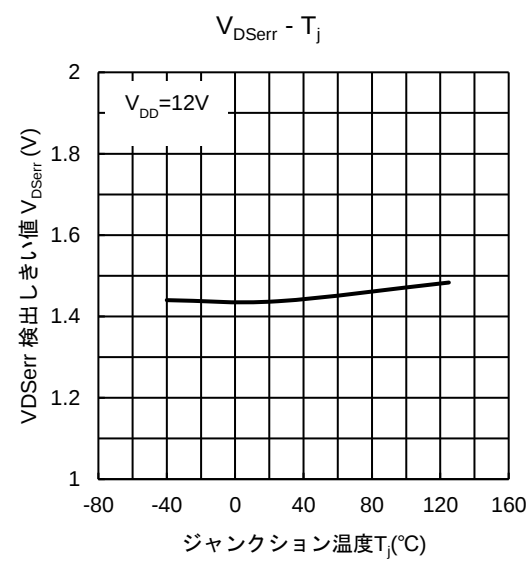
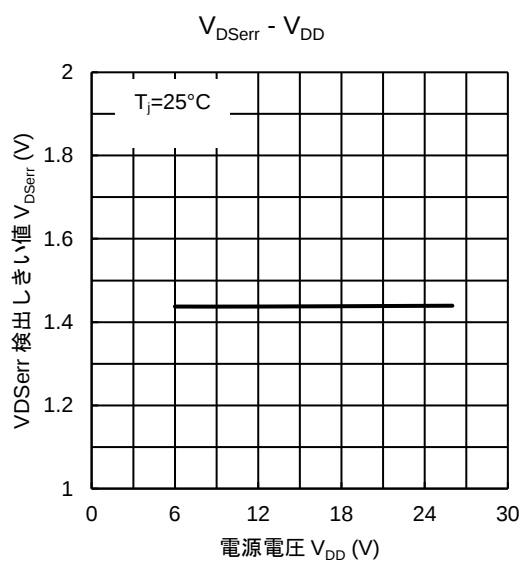
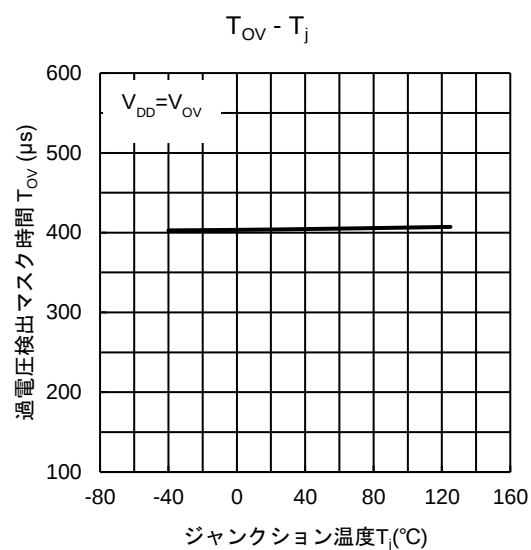
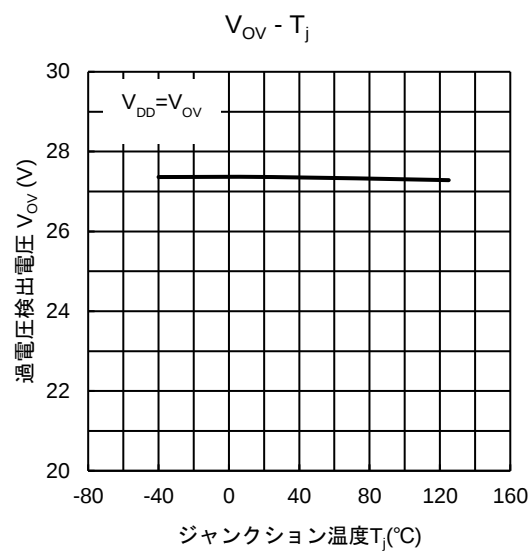
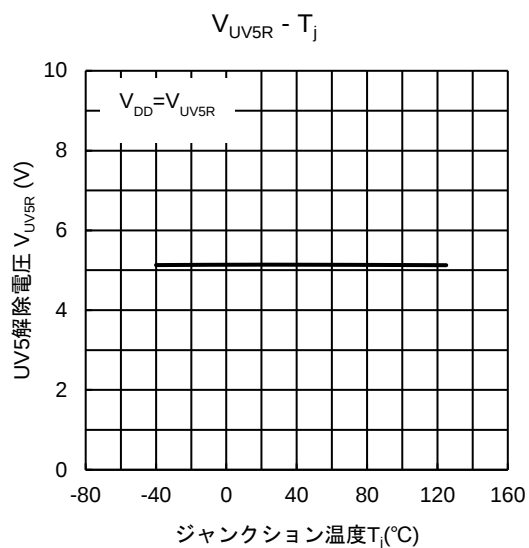


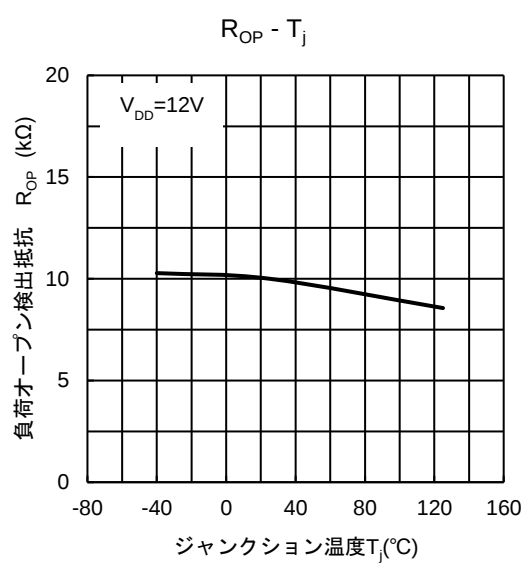
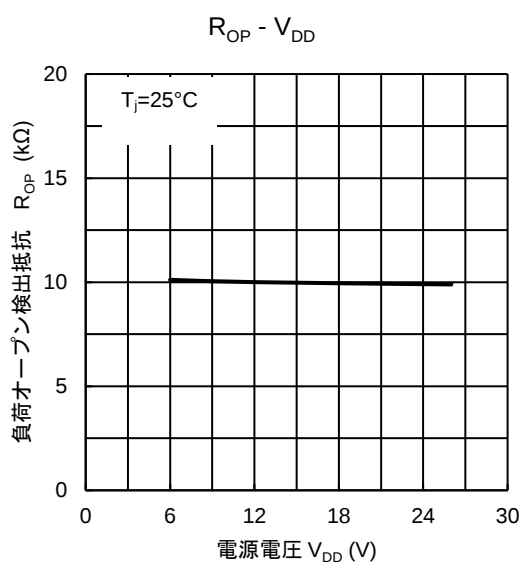
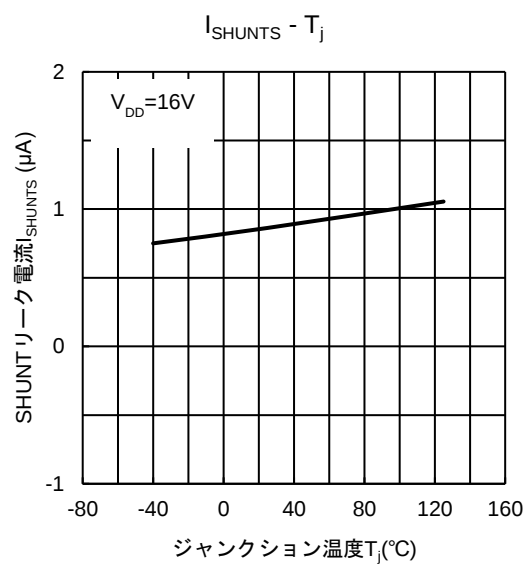
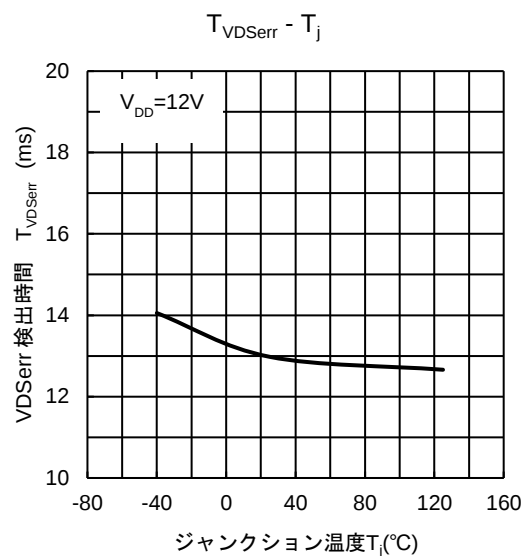
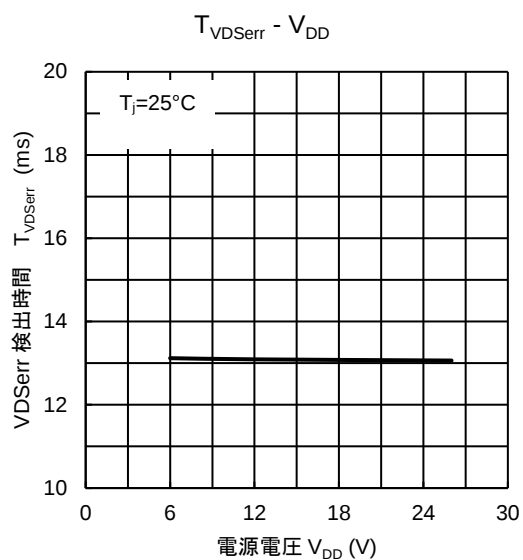


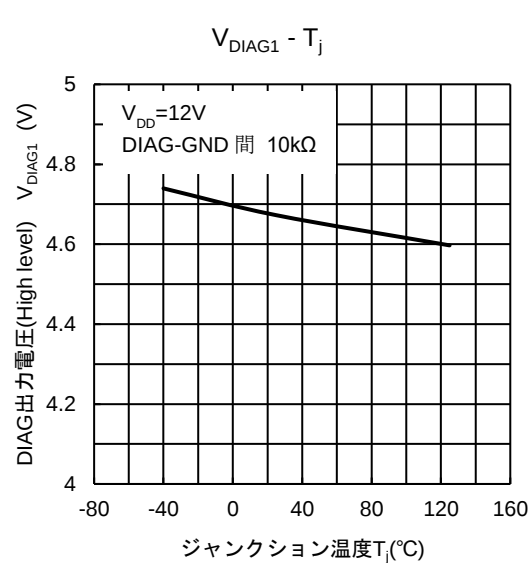
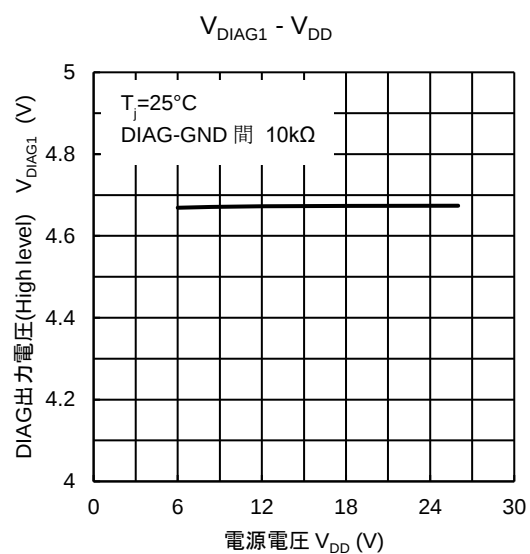
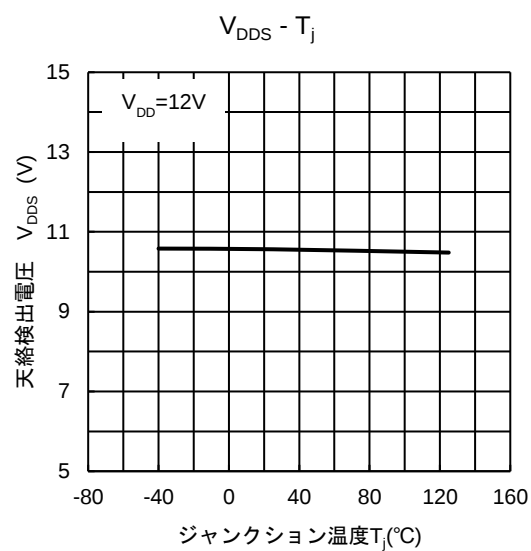
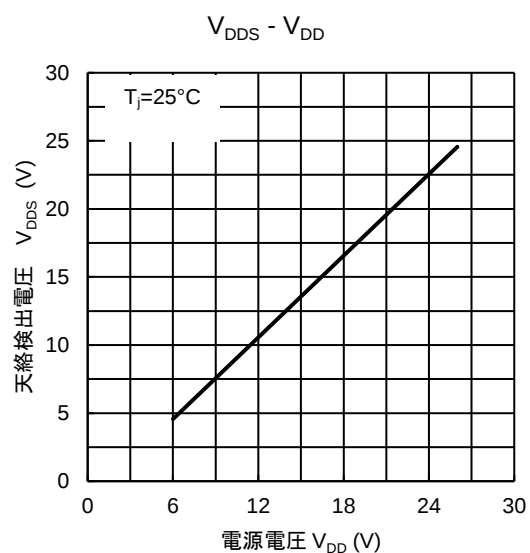
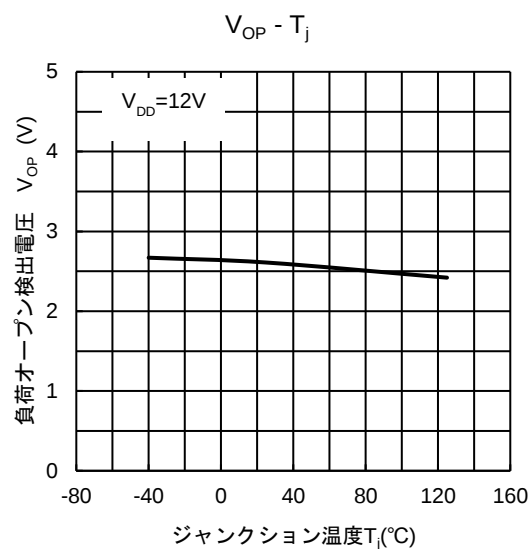
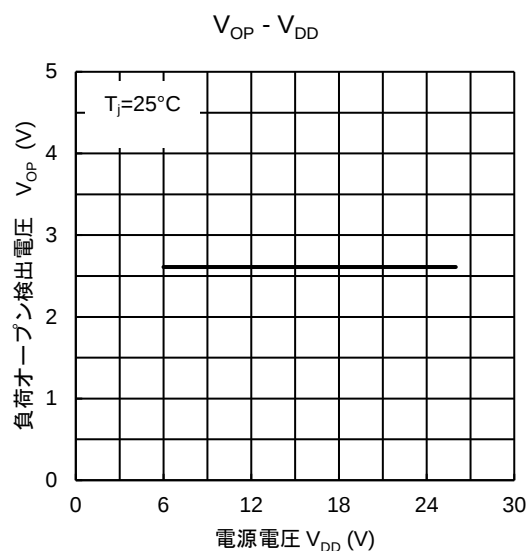


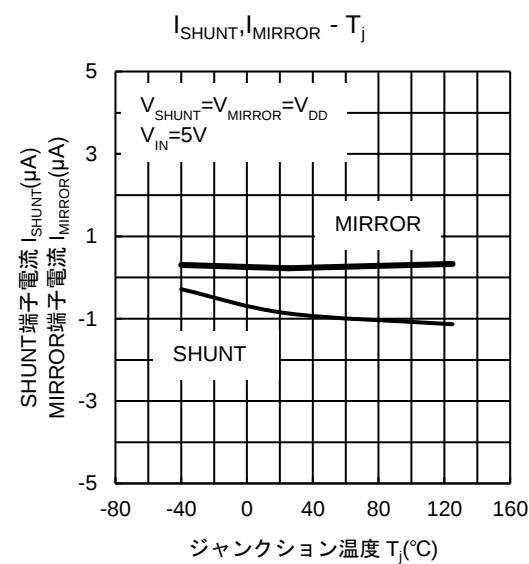
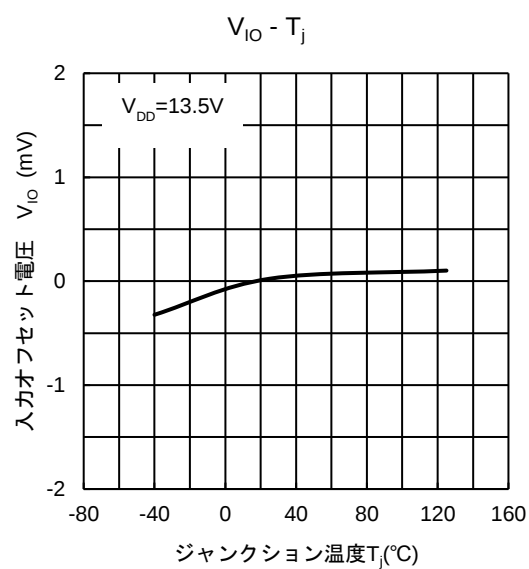
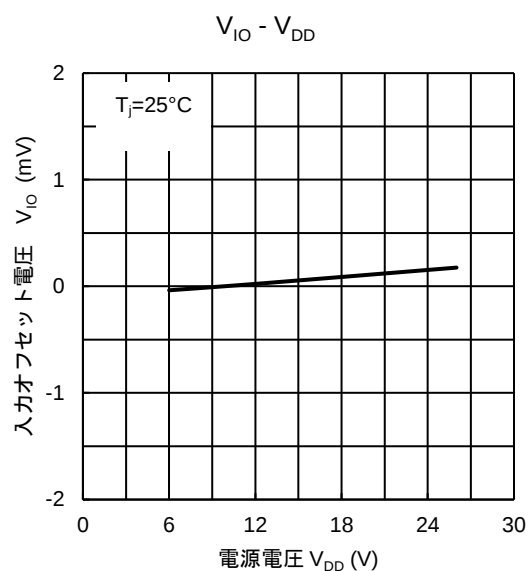
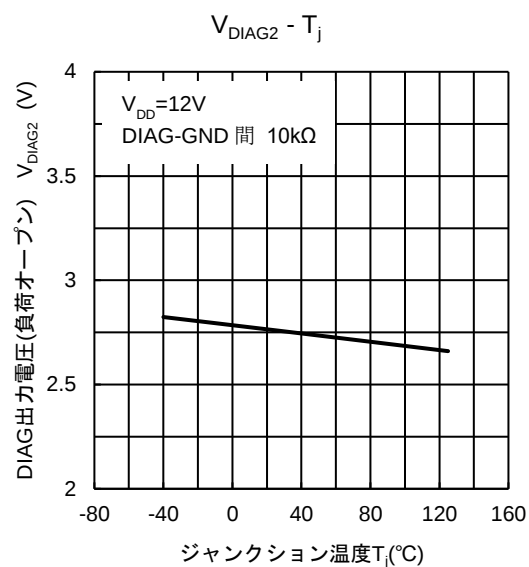
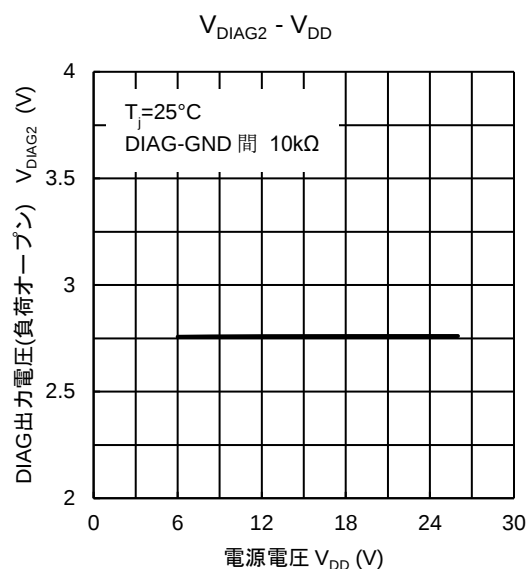


$T_{OC} - V_{DD}$  $T_{OC} - T_j$  $T_{OT} - V_{DD}$  $T_{hys} - V_{DD}$  $V_{UV3} - T_j$  $V_{UV5} - T_j$ 





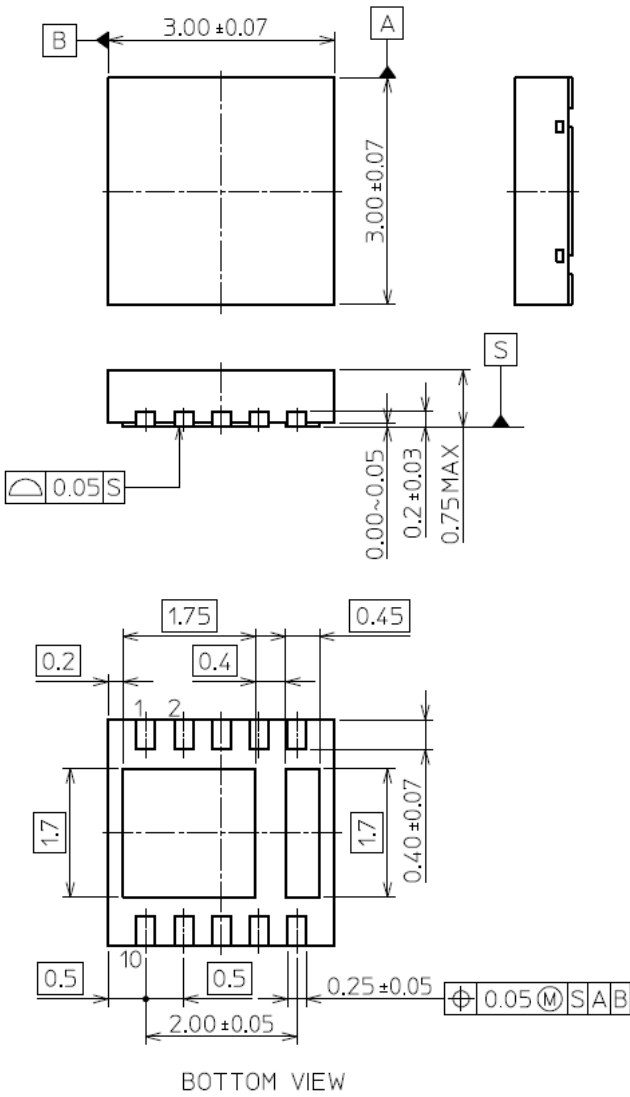




13. 外形図

13.1. 外形寸法図

単位: mm



質量: 0.02 g (標準)

図 13.1 外形寸法図

13.2. 現品表示

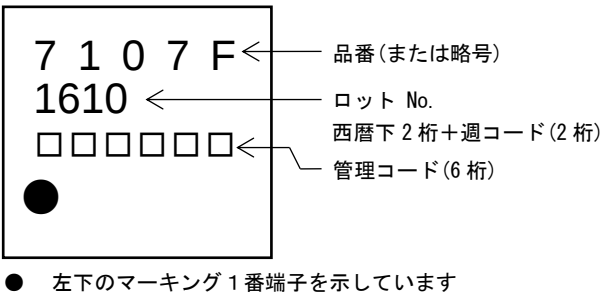


図 13.2 現品表示

13.3. 参考ランドパターン寸法

単位: mm

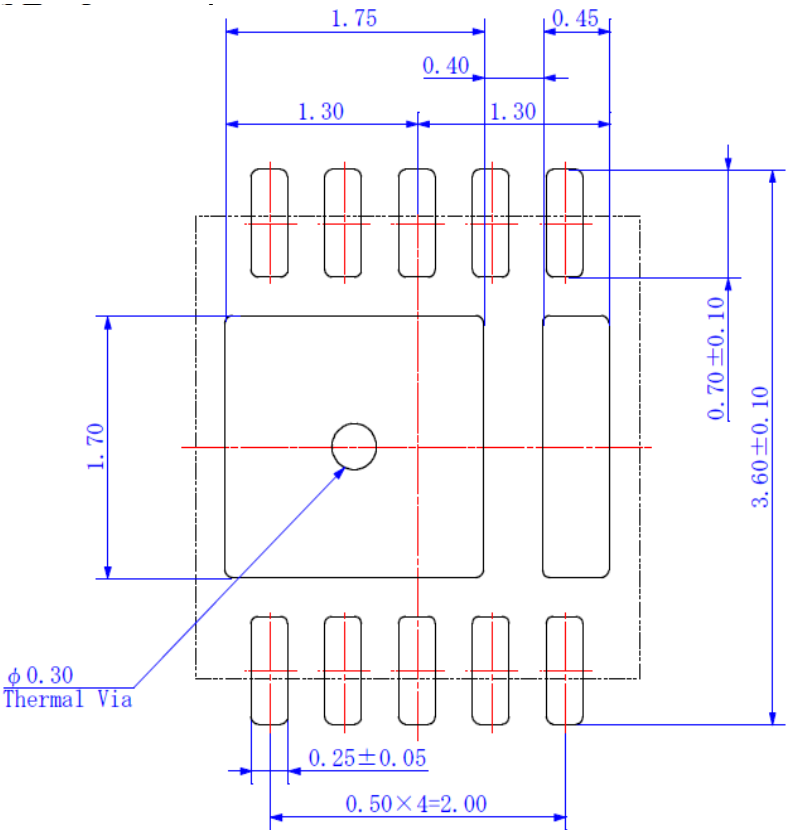


図 13.3 参考ランドパターン寸法

14. 使用上のご注意およびお願い事項

14.1. 使用上の注意事項

- (1) 絶対最大定格は複数の定格の、どの1つの値も瞬時たりとも超えてはならない規格です。複数の定格のいずれに対しても超えることができません。絶対最大定格を超えると破壊、損傷および劣化の原因となり、破裂・燃焼による傷害を負うことがあります。
- (2) 電源の投入や遮断条件(立ち上げ、立ち下げ)、電流センスアンプへの入力条件などにより DIAG 出力に電流センス電圧や診断出力電圧以上が出力される場合もありますのでご使用の際にはセットで問題有無をご確認ください。また必要に応じてコンデンサーなどで対策をお願いします。

14.2. 実装上の注意

- (1) Die pad 1 は、GND と同電位にしてください。
- (2) Die pad 2 は、SHUNT(7pin)と同電位にしてください。

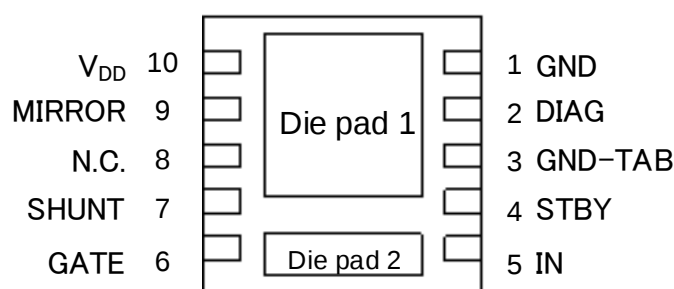


図 14.1 端子配置図(Bottom View)

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。