

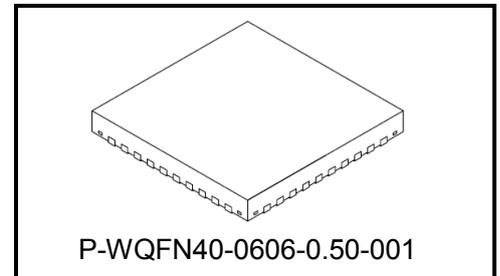
東芝 Bi-CMOS 集積回路 シリコン モノリシック

# TC78B004AFTG

速度制御機能内蔵正弦波 PWM 駆動方式 3 相全波ブラシレスモータコントローラ

## 1. 概要

TC78B004AFTG は、速度制御機能内蔵正弦波 PWM 駆動方式 3 相全波ブラシレスモータコントローラ IC です。2 相変調方式による正弦波 PWM 駆動により、高効率かつ低騒音での駆動が可能です。外部クロックにより、モータの速度を可変できる速度制御回路を内蔵しています。



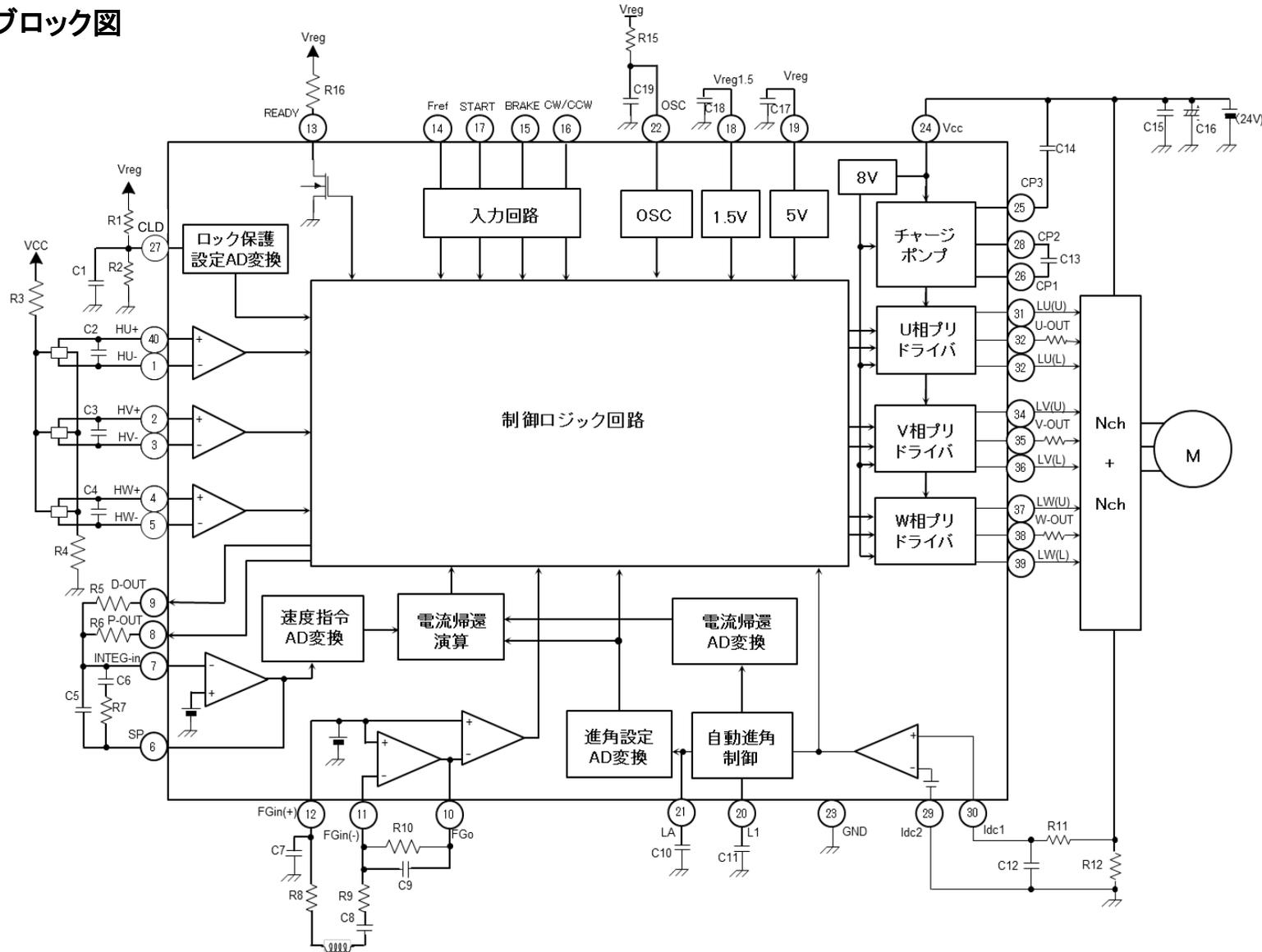
質量: 0.0849 g (typ.)

## 2. 特長

- 正弦波 PWM 駆動方式
- スイッチングロスが少ない 2 相変調方式
- デッドタイム機能内蔵
- 外部クロック入力
- FLL + PLL 速度制御回路
- READY 回路出力
- FG アンプ内蔵
- 自動進角補正機能内蔵
- 正転/ストップ (スタンバイ) /逆転/ブレーキ機能内蔵
- 過電流制限機能内蔵
- ロック保護機能内蔵

注: 本製品は、MOS 構造の素子を搭載しており静電気に対し非常にデリケートであるため、お取り扱いに際しては、アースバンドや導電マットの使用、イオナイザなどによる静電気除去および、温湿度管理などの静電気対策に十分ご配慮ください。誤装着はしないでください。IC や機器に破壊や損傷や劣化を招くおそれがあります。

### 3. ブロック図

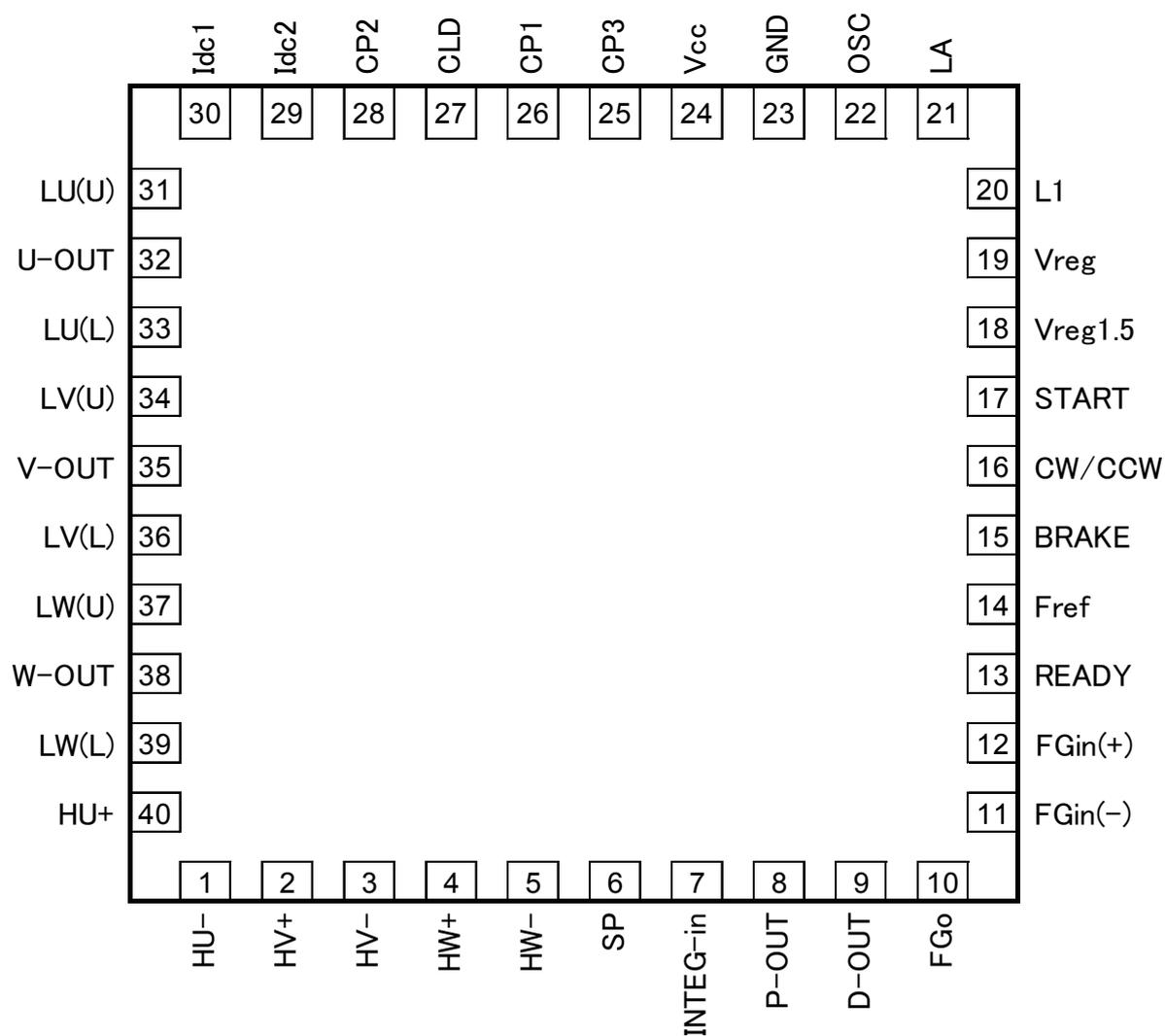


注: ブロック図内の機能ブロック/回路/定数などは、機能を説明するため、一部省略・簡略化している場合があります。

## 4. 端子説明

端子番号	名称	端子説明	備 考
1	HU-	U 相ホール信号入力-端子	U 相ホール素子信号-を入力
2	HV+	V 相ホール信号入力+端子	V 相ホール素子信号+を入力
3	HV-	V 相ホール信号入力-端子	V 相ホール素子信号-を入力
4	HW+	W 相ホール信号入力+端子	W 相ホール素子信号+を入力
5	HW-	W 相ホール信号入力-端子	W 相ホール素子信号-を入力
6	SP	積分アンプ出力/速度指令入力	—
7	INTEG-in	積分アンプ入力	(-) 端子
8	P-OUT	位相偏差信号出力	—
9	D-OUT	速度ディスクリ偏差信号出力	—
10	FGo	FG アンプ出力端子	—
11	FGin(-)	FG アンプ入力-端子	FG 信号入力
12	FGin(+)	FG アンプ入力+端子	FG 信号入力
13	READY	レディ出力端子	オープンコレクタ出力 ±6.25%内: Low、±6.25%外: ハイインピーダンス
14	Fref	外部クロック入力	ブルアップ抵抗 50 kΩ (typ.)
15	BRAKE	ブレーキ信号入力	ブルアップ抵抗 50 kΩ (typ.)、Low でブレーキ (下側全相 ON)
16	CW/CCW	正転/逆転切り替え端子	ブルアップ抵抗 50 kΩ (typ.)、High: 逆転/ Low: 正転
17	START	スタート信号入力	ブルアップ抵抗 50 kΩ (typ.)、Low でスタート、High でスタンバイ
18	Vreg1.5	1.5 V 基準電源	1.5 V 出力/対 GND にコンササ接続
19	Vreg	5 V 基準電源	5 V 出力/対 GND にコンデンサ接続
20	L1	進角補正回路	コンデンサ外付け
21	LA	進角補正回路	ADC 入力
22	OSC	内部基準クロック周波数設定端子	外付け C/R で基準クロック発生
23	GND	接地端子	—
24	V <sub>CC</sub>	制御系電源電圧印加端子	V <sub>CC</sub> (opr.) = 10~28 V
25	CP3	チャージポンプ端子	上側 Nch FET ゲート電圧発生用
26	CP1	チャージポンプ端子	上側 Nch FET ゲート電圧発生用
27	CLD	ロック保護設定/電流帰還ゲイン設定	—
28	CP2	チャージポンプ端子	上側 Nch FET ゲート電圧発生用
29	Idc2	出力電流検出信号入力端子	GND 側センス端子
30	Idc1	出力電流検出信号入力端子	0.25 V (typ.) 以上でゲートブロック動作
31	LU(U)	U 相通電信号出力 (U)	U 相出力 FET ゲート (上側 Nch) 駆動用
32	U-OUT	U 相モータ端子	—
33	LU(L)	U 相通電信号出力 (L)	U 相出力 FET ゲート (下側 Nch) 駆動用
34	LV(U)	V 相通電信号出力 (U)	V 相出力 FET ゲート (上側 Nch) 駆動用
35	V-OUT	V 相モータ端子	—
36	LV(L)	V 相通電信号出力 (L)	V 相出力 FET ゲート (下側 Nch) 駆動用
37	LW(U)	W 相通電信号出力 (U)	W 相出力 FET ゲート (上側 Nch) 駆動用
38	W-OUT	W 相モータ端子	—
39	LW(L)	W 相通電信号出力 (L)	W 相出力 FET ゲート (下側 Nch) 駆動用
40	HU+	U 相ホール信号入力+端子	U 相ホール素子信号+を入力

### 5. 端子配置图



### 6. 絶対最大定格 (Ta = 25°C)

項目	記号	定格	単位
電源電圧	V <sub>CC1</sub>	31 (注 1)	V
	V <sub>CC2</sub>	40 (注 2)	
入力電圧	V <sub>in</sub>	-0.3~5.5 (注 3)	V
出力電圧	V <sub>OUT</sub>	5.5 (注 4)	V
		-0.3~40 (注 5)	
		15 (注 6)	
	V <sub>reg</sub>	5.5	V
	V <sub>reg1.5</sub>	1.65	V
出力電流	I <sub>OUT</sub>	10 (注 7)	mA
		100 (注 8)	
		25 (注 9)	
許容損失	P <sub>D</sub>	3.9 (注 10)	W
動作温度	T <sub>opr</sub>	-30~85	°C
保存温度	T <sub>stg</sub>	-55~150	°C

注 1: V<sub>CC</sub> (通常使用時)

注 2: V<sub>CC</sub> (8 V チャージポンプ非動作時、チャージポンプ外付けコンデンサ非接続時)

\* 外付けコンデンサ接続時にはチャージポンプ動作をしますので、通常時、最大定格は V<sub>CC1</sub> となります。

注 3: CW/CCW、Fref、START、BRAKE、HU+、HU-、HV+、HV-、HW+、HW-

注 4: READY

注 5: LU(U)、LV(U)、LW(U)、U-OUT、V-OUT、W-OUT

注 6: LU(L)、LV(L)、LW(L)

注 7: LU(U)、LV(U)、LW(U)、LU(L)、LV(L)、LW(L) ソース電流 FET 駆動時のピーク電流

注 8: LU(U)、LV(U)、LW(U)、LU(L)、LV(L)、LW(L) シンク電流 FET 駆動時のピーク電流

注 9: V<sub>reg</sub>

注 10: 基板実装時 (ガラスエポキシ 76.2 mm × 114.3 mm × 1.6 mm、銅箔 60%、両面基板)

絶対最大定格は瞬時たりとも超えてはならない規格です。

絶対最大定格を超えると IC の破壊や劣化や損傷の原因となり、IC 以外にも破壊や損傷や劣化を与えるおそれがあります。

いかなる動作条件でも必ず絶対最大定格を超えないように設計を行ってください。

ご使用に際しては、記載された動作範囲内でご使用ください。

### 7. 動作条件 (Ta = -30~85°C)

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	10 ~ 28	V
外部クロック周波数	Fref	200 ~ 4000	Hz
内部基準クロック周波数	f <sub>x</sub>	4 ~ 6	MHz

### 8. 動作説明

注: 等価回路は、回路を説明するため、一部省略・簡略化している場合があります。

#### 8.1. 正弦波 PWM 駆動

##### <通電切り替え>

始動時は、位置検出信号 (ホール素子信号) により、120°通電信号の矩形波駆動を行います。

位置検出信号 (ホール素子信号) の1相当りの周波数 (f) が設定値 (f<sub>H</sub>) を超えた後、ホール信号の切り替わりエッジ 6 発分を確認した後、最初のホール信号 HU の立ち下がりで、180°通電へ切り替わります。

(ホール信号入力については 8.8.ホールアンプ回路部を参照ください。)

設定周波数: f<sub>H</sub> は以下により決まります。

$$\text{設定周波数: } f_H = 1 / \{(2^{16} - 1) \times (1 / f_x) \times 6\}$$

f<sub>x</sub> は OSC の外付け定数によって設定される内部基準クロック

f<sub>x</sub> = 4 MHz のとき、f<sub>H</sub> = 10.17 Hz、f<sub>x</sub> = 5 MHz のとき、f<sub>H</sub> = 12.7 Hz、f<sub>x</sub> = 6 MHz のとき、f<sub>H</sub> = 15.25 Hz です。

##### (モード表)

回転状態	駆動モード
f <sub>H</sub> ≥ f	矩形波駆動 (120°通電)
f <sub>H</sub> < f	正弦波 PWM 駆動 (180°通電)

注: ノイズによる誤動作対策として、想定より f が速い場合に 120°通電とします。

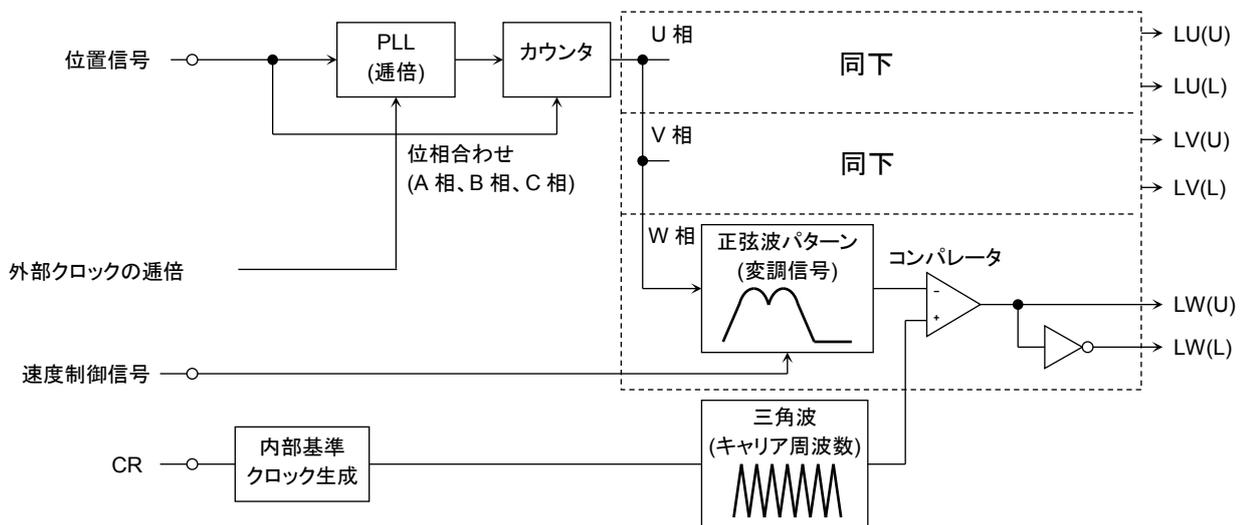
f<sub>x</sub> = 4 MHz の時 666.7 Hz、f<sub>x</sub> = 5 MHz のとき 833.3 Hz、f<sub>x</sub> = 6 MHz のとき 1 kHz 以上の f の場合 120°通電となります。

以下、動作フローのイメージです。

内部では、デジタル演算を行います。

##### イメージ図

##### <動作フロー>

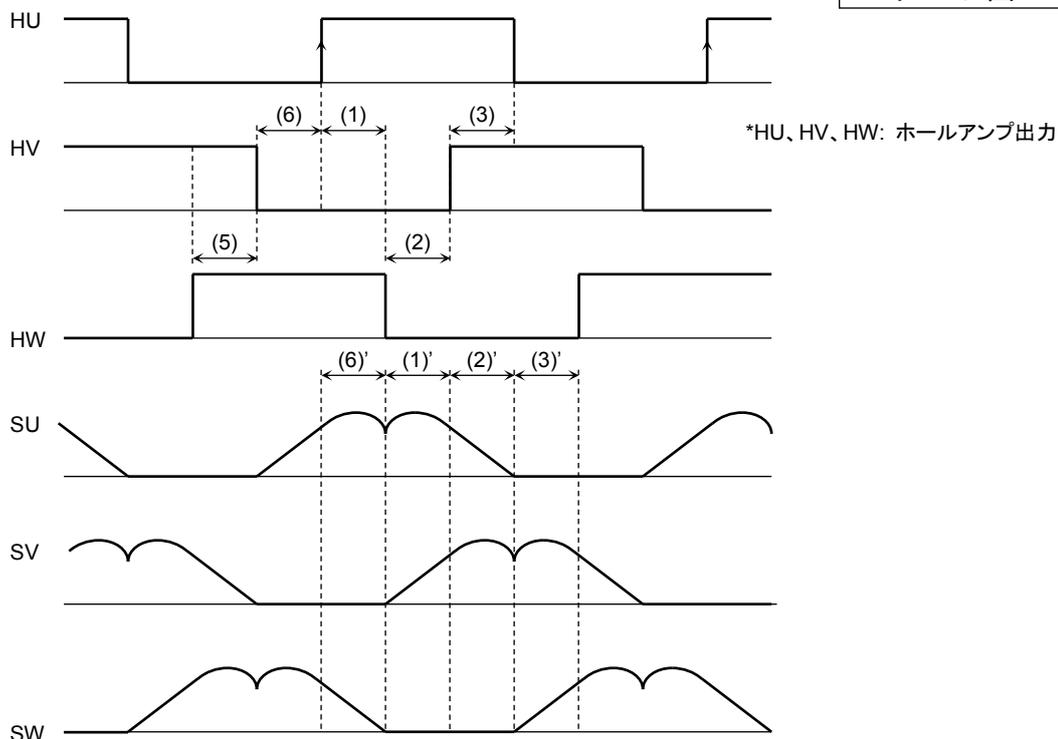


位置検出信号から変調波形を作り、この変調波形を三角波と比較して正弦波 PWM 信号を生成します。

3つの位置検出信号のゼロクロスから次のゼロクロスまでの時間（電気角: 60°）をカウントし、この時間を変調波形の次の60°位相分のデータとして使用しています。

変調波形の60°位相分は32データからなっており、その1データ分の時間幅は、1つ前の60°位相分の時間幅の1/32であり、この幅で変調波形は進みます。

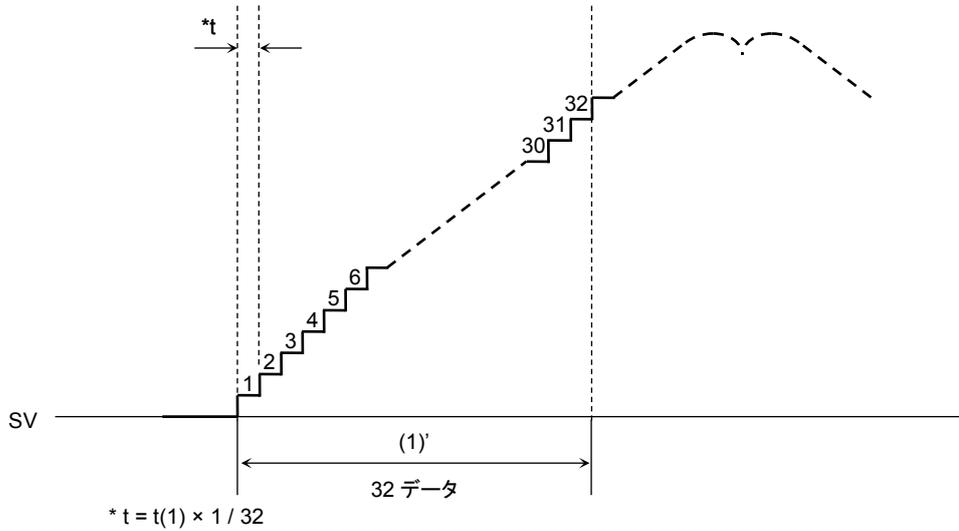
イメージ図



PWM 出力の分解能は 1/128 になります。

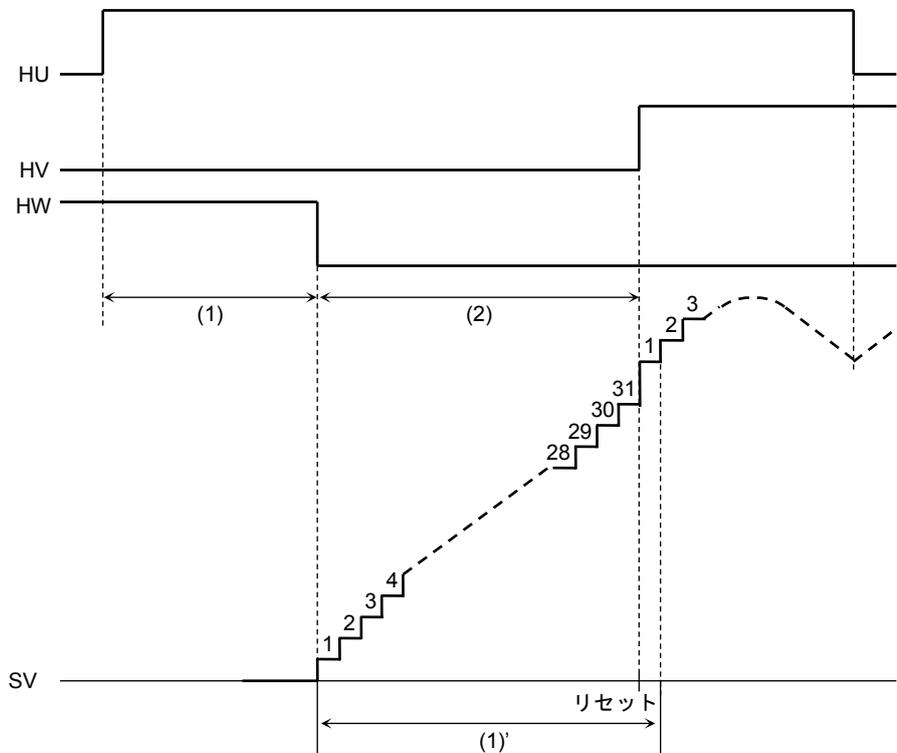
前ページの図で、HU:  $\uparrow$  から HW:  $\downarrow$  までの時間(1)の 1/32 の時間幅で、変調波形(1)'のデータは進み、同じく、HW:  $\downarrow$  から HV:  $\uparrow$  までの時間(2)の 1/32 の時間幅で、(2)'のデータは進みます。  
 32 データが終了しても次のゼロクロスが来ない場合には、次の 32 データは次のゼロクロスが来るまで同じ時間幅で進みます。

イメージ図



また、上記と併せて、位置検出信号のゼロクロスごとに変調波形との位相合わせを行います。  
 電気角 60°ごとに位置検出信号 (ホールアンプ出力信号) のアップエッジ、およびダウンエッジと同期し変調波形はリセットされます。  
 従いまして、位置検出信号のゼロクロスずれにより、60°位相分の 32 データが終了する前に次のゼロクロスが来た場合、データはリセットされ、次の 60°位相分のデータが開始されます。  
 この場合、リセットごとに変調波形が不連続となります。

イメージ図

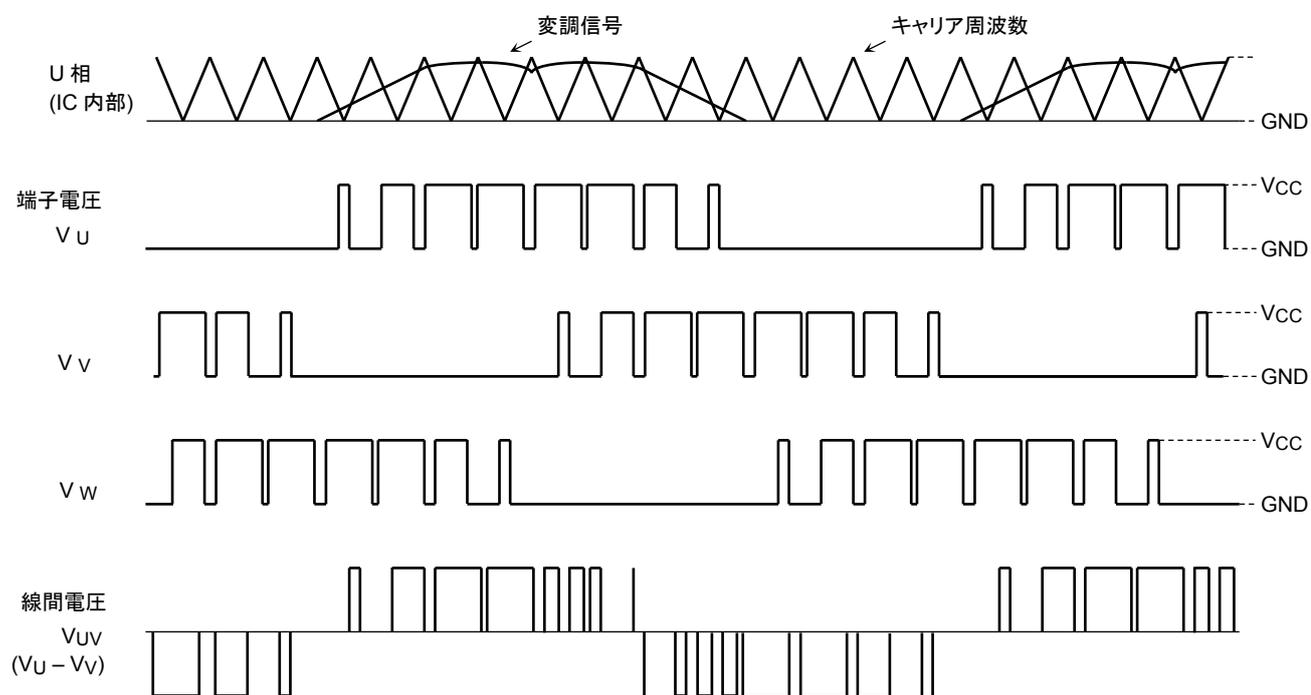


注: タイミングチャートは機能・動作を説明するため、単純化している場合があります。

### (正弦波 PWM 駆動の動作波形)

注: タイミングチャートは機能・動作を説明するため、単純化している場合があります。

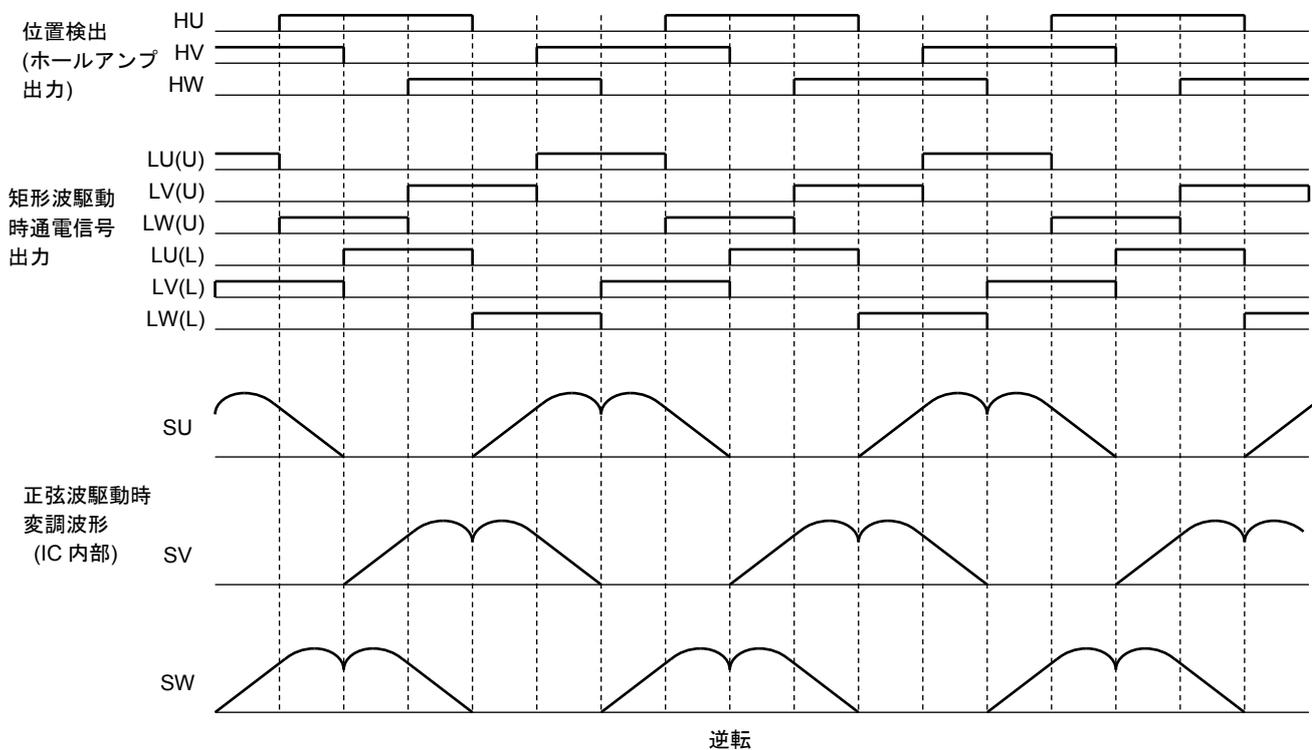
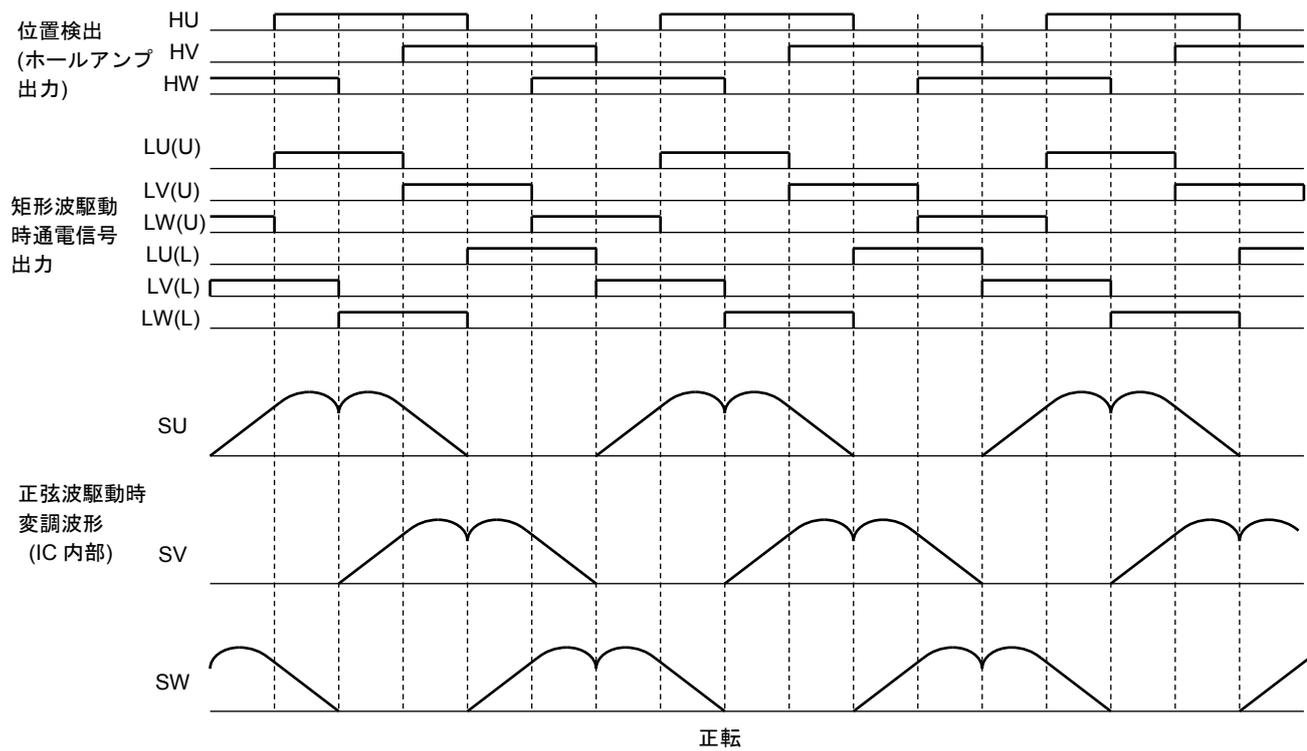
イメージ図



### タイミングチャート

イメージ図

注: タイミングチャートは機能・動作を説明するため、単純化している場合があります。



## 8.2. 内部基準クロック周波数

OSC 端子に CR を外付けし、内部で基準クロックを発生します。

外付け CR = 2.4 kΩ/100 pF の時 5 MHz ± 10%

この基準クロックは、

- ・出力 PWM 周波数
  - ・デッドタイム
  - ・チャージポンプ (昇圧回路) の基準クロック
  - ・進角補正回路の ADC 部の基準クロック
  - ・外部クロックの時間測定用カウンタの基準クロック
  - ・FLL、PLL の基準クロック
- として使用します。

注: START = High (スタンバイ) 時は停止します。

## 8.3. 出力 PWM 周波数

内部基準クロック周波数  $f_x$  とすると

出力 PWM 周波数  $f_{PWM} = f_x / 248$

例えば

$f_x = 6$  MHz の場合  $f_{PWM} = 24.2$  kHz

$f_x = 5$  MHz の場合  $f_{PWM} = 20.1$  kHz

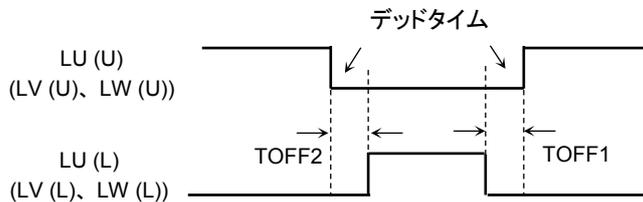
$f_x = 4$  MHz の場合  $f_{PWM} = 16.1$  kHz

注: 三角波は同期性を考慮して U 相の立ち上がりのタイミングでリセットします。(360°リセット)

## 8.4. デッドタイム設定回路

出力 FET を同期再生方式で PWM 制御を行うため、外付け出力 FET の上下同時 ON を防ぐために、通電信号出力にデッドタイムを設けます。

外付け CR でつくった内部基準クロックを使ってデッドタイムを設定します。



内部基準クロック  $f_x$  とすると

デッドタイム  $TOFF1 = TOFF2 = (1 / f_x) \times 6$

例えば

$f_x = 6$  MHz の場合  $TOFF1 = TOFF2 = 1.0$  μs

$f_x = 5$  MHz の場合  $TOFF1 = TOFF2 = 1.2$  μs

$f_x = 4$  MHz の場合  $TOFF1 = TOFF2 = 1.5$  μs

上記の波形は、FET ゲート駆動出力の ON/OFF のタイミングとなります。

このタイミングで、FET のゲートを内蔵抵抗を介して駆動します。

ゲート波形の立ち上がり/立ち下がり、外付け FET のゲート容量により変化します。

ご使用の FET で貫通電流が無いことを確認ください。

## 8.5. チャージポンプ (昇圧回路)

TC78B004AFTG は、Nch + Nch 構成の外付け FET を駆動します。上側 Nch のゲート電圧を発生させるために、チャージポンプ回路を内蔵します。

昇圧電圧は、 $V_{CC} + 8$  V とし、上側ゲート駆動電圧は  $V_{CC} + 7.75$  V とします。

昇圧は、内部基準クロック  $f_x$  の 1/16 の周波数で昇圧します。(  $f_x = (5$  MHz) の場合、312.5 kHz)

チャージポンプ電圧である CP3 端子電圧が、 $V_{CC} + 6.35$  V (typ.) 以上で、出力 ON し、 $V_{CC} + 5.8$  V (typ.) 以下になると出力 OFF します。

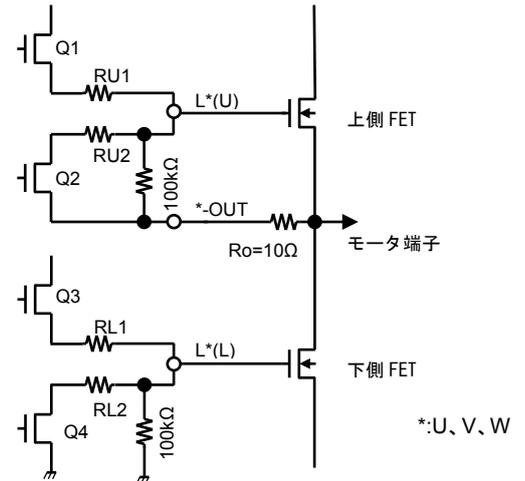
### 8.6. 外付け FET ゲート駆動出力

FET 駆動時のスイッチングノイズを抑制するため、FET 駆動のソース出力とシンク出力を右図のように構成しています。  
 ソース、シンク出力時には、以下の抵抗を内蔵し、出力 FET を制御します。

#### 内蔵抵抗値

- 上側ソース側 RU1 = 1 k $\Omega$  (typ.)
- 上側シンク側 RU2 = 100  $\Omega$  (typ.)
- 下側ソース側 RL1 = 1 k $\Omega$  (typ.)
- 下側シンク側 RL2 = 100  $\Omega$  (typ.)

注: 各 OUT 端子とモータ端子間に必ず、Ro = 10  $\Omega$  を挿入してください。



外付け FET ゲート駆動出力端子の状態と IC 内部素子の状態は以下です。

外付け上側 FET ゲート 駆動出力端子状態 L*(U)	IC 内部素子状態	
	Q1	Q2
High	ON	OFF
Low	OFF	ON
OFF	OFF	OFF

外付け下側 FET ゲート 駆動出力端子状態 L*(L)	IC 内部素子状態	
	Q3	Q4
High	ON	OFF
Low	OFF	ON
OFF	OFF	OFF

各動作モード時外付け FET ゲート駆動出力端子の状態は以下です。

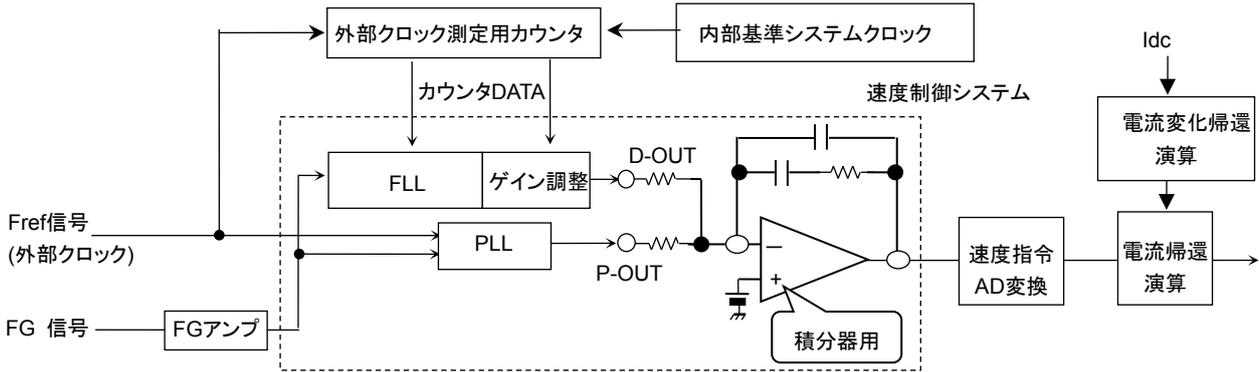
	スタート	ブレーキ	ロック保護	Fref オーバー フロー	スタンバイ	CP3 電圧 減電圧検出時	Vreg 電圧 減電圧検出時	Vreg1.5V 電圧 減電圧検出時	V <sub>CC</sub> 電圧 減電圧検出時
L*(U)	動作	Low	Low	Low	OFF (注 1)	Low (注 2)	OFF (注 3)	OFF (注 3)	OFF (注 3)
L*(L)	動作	High	Low	Low	Low	Low	Low (注 2)	Low (注 2)	Low (注 2)

注 1: OFF になる前に、外付け上側 FET を OFF させるために Low 期間を設けます。

注 2: IC 内部電源の電圧が無くなると、OFF となります。

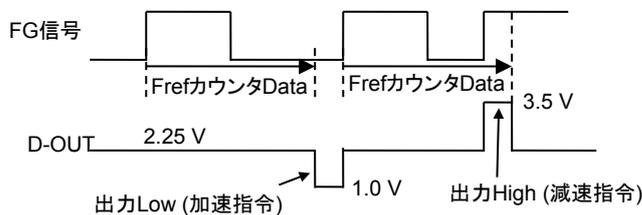
注 3: ロジック信号は Low の制御ですが、内部電源停止のため、出力の状態は OFF となります。

### 8.7. 速度制御



Frefの入力周波数範囲は、外部クロック測定用カウンタの Bit 数と内部基準クロックの周波数によって制約されます。  
 Fref (min) = 200 Hz、Fref (max) = 4 kHz です。

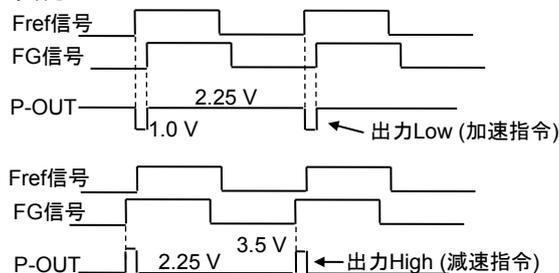
#### <D-OUT出力>



外部クロック Fref の周期を、内部基準クロックでカウントします。  
 そのカウンタ DATA の時間と、FG の周期を比較します。

Fref の周期 (カウンタの DATA) より、FG の周期が長い場合は、加速指令 (1.0 V)  
 Fref の周期 (カウンタの DATA) より、FG の周期が短い場合は、減速指令 (3.5 V)  
 なお、D-OUT 出力の振幅レベルは、ゲイン調整回路で可変されます。

#### <P-OUT出力>



モータの回転速度が安定領域 (READY = Low) のタイミングで、P-OUT が出力されます。

Fref 信号と、FG 信号の位相差が、出力されます。

FG 信号が、Fref 信号より遅れている場合は、加速指令 (1.0 V)

FG 信号が、Fref 信号より進んでいる場合は、減速指令 (3.5 V)

P-OUT、D-OUT 出力は、スタンバイ (START = High) 時 Low (GND に 40 kΩ でプルダウン)となり、起動後プルダウン抵抗は、オープンとなります。

#### Fref 周波数が使用範囲 (200 Hz~4 kHz) より十分遅いとき、カウンタ長が足りなくなります。

例:  $f_x = 5 \text{ MHz}$  設定時 150 Hz (CLK 周期  $\times 8 \times 16^3 = 6.55 \text{ ms}$ ) 前後より遅い周波数の Fref が入力された場合カウンタフル状態となり、駆動出力 OFF となります。(オーバーフロー検出)

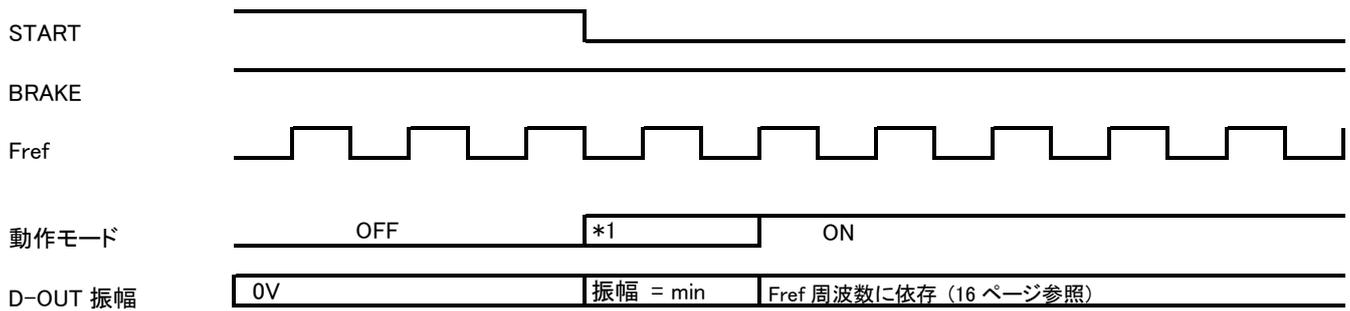
( $f_x = 4 \text{ MHz}$  では 122 Hz、 $f_x = 6 \text{ MHz}$  では 183 Hz でカウンタフルになります)

OFF モードは START をいったん High にするか、BRAKE をいったん Low にすることによりクリアされ、再度起動すると駆動を開始します。

確実に起動するためには、オーバーフローしない Fref 周波数確定後、START 信号、BRAKE 信号を設定してください。

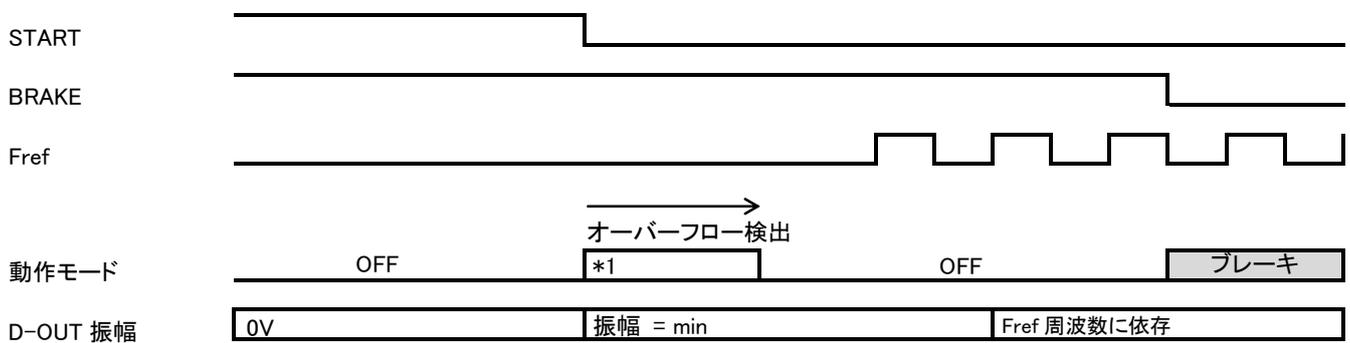
■ START 端子でスタート/ストップを制御する場合

(1) 通常動作 (Fref は、動作周波数範囲内)



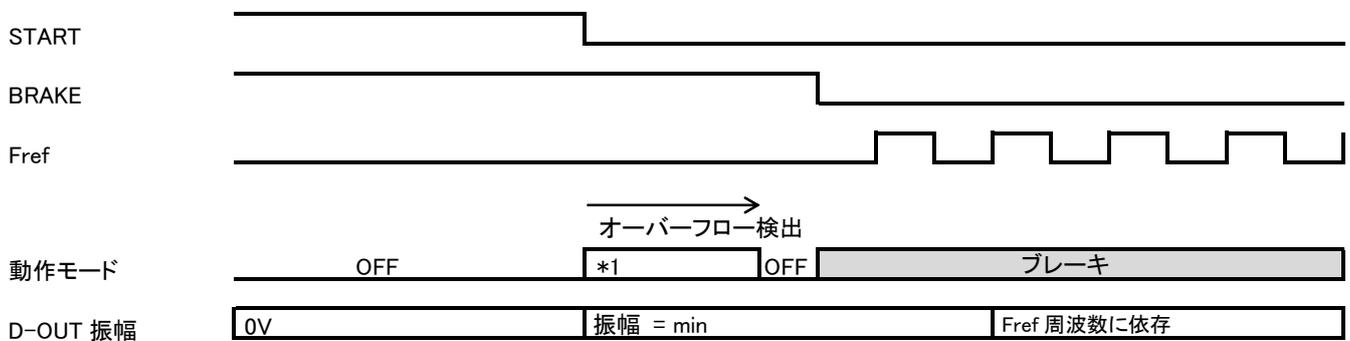
\*1) START 後、D-OUT の振幅が加速 min (2.094V) となり、最小振幅で起動します。(Fref 立ち上がり 2 発分)  
 注) START 後、FG 信号の 2 発分は、加速 (D-OUT 振幅は Fref 周波数に依存) になります。(\*1 の期間除く)

(2) Fref 信号が、START 信号より入力されるのが遅い場合 1 (Fref は動作周波数範囲内)



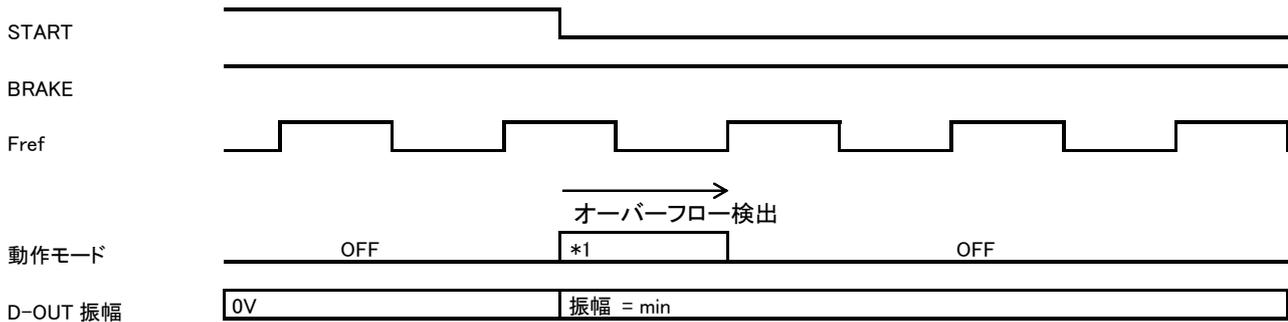
\*1) START 後、D-OUT の振幅が加速 min (2.094V) となり、最小振幅で起動します。(Fref 立ち上がり 2 発分)

(3) Fref 信号が、START 信号より入力されるのが遅い場合 2 (Fref は動作周波数範囲内)



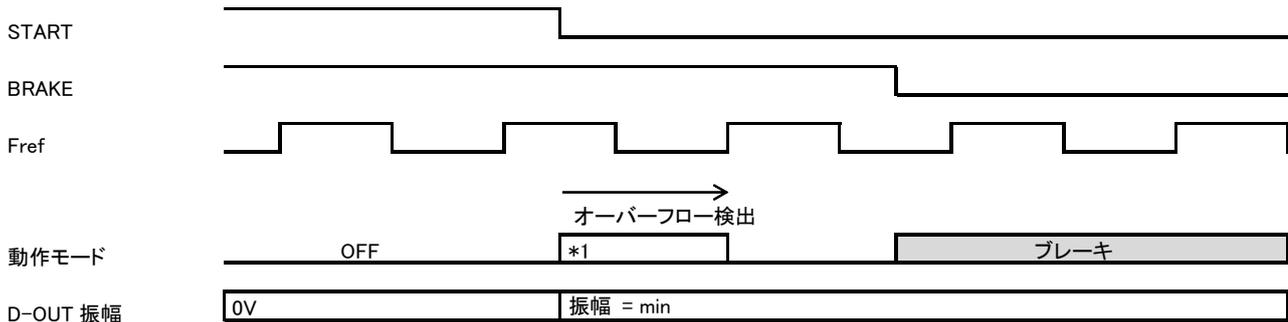
\*1) START 後、D-OUT の振幅が加速 min (2.094V)となり、最小振幅で起動します。(Fref 立ち上がり 2 発分)

### (4) Fref 周波数が、動作周波数範囲より低い場合 1



\*1) START 後、D-OUT の振幅が加速 min (2.094V) となり、最小振幅で起動します。(Fref 立ち上がり 2 発分)

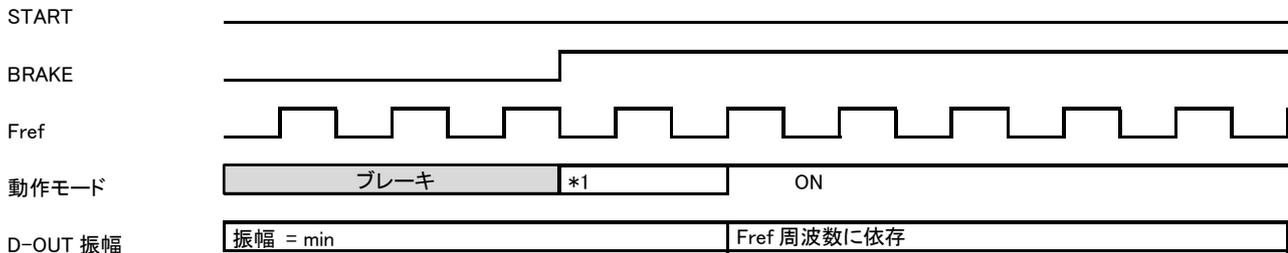
### (5) Fref 周波数が、動作周波数範囲より低い場合 2



\*1) START 後、D-OUT の振幅が加速 min (2.094V) となり、最小振幅で起動します。

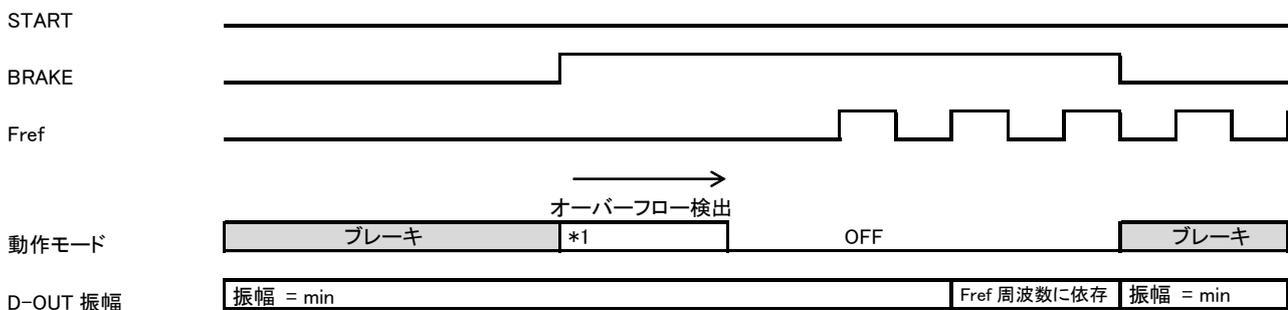
### ■ BRAKE 端子でスタート/ストップを制御する場合

#### (6) 通常動作 (Fref は動作周波数範囲内)



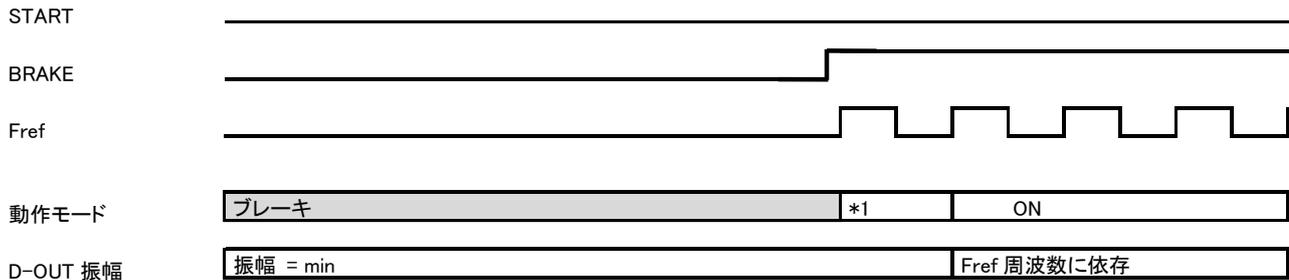
\*1) BRAKE 解除後、D-OUT の振幅が加速 min (2.094V) となり、最小振幅で起動します。(Fref 立ち上がり 2 発分)  
注) BRAKE 解除後、FG 信号の 2 発分は、加速 (D-OUT 振幅は Fref 周波数に依存) になります。(\*1 の期間除く)

#### (7) Fref 信号が、BRAKE 信号より入力されるのが遅い場合 (Fref は動作周波数範囲内)



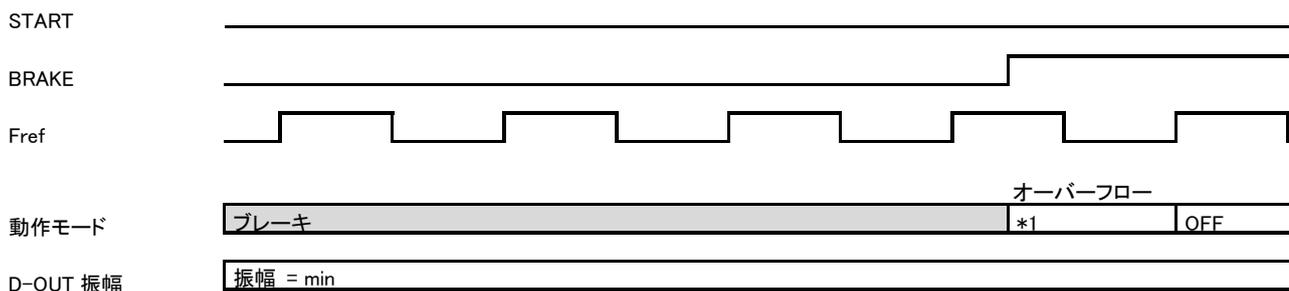
\*1) BRAKE 解除後、D-OUT の振幅が加速 min (2.094V) となり、最小振幅で起動します。(Fref 立ち上がり 2 発分)

(8) Fref 信号が、BRAKE 信号より入力されるのが遅い場合 (Fref は動作周波数範囲内、BRAKE = High 後すぐに、Fref 入力)



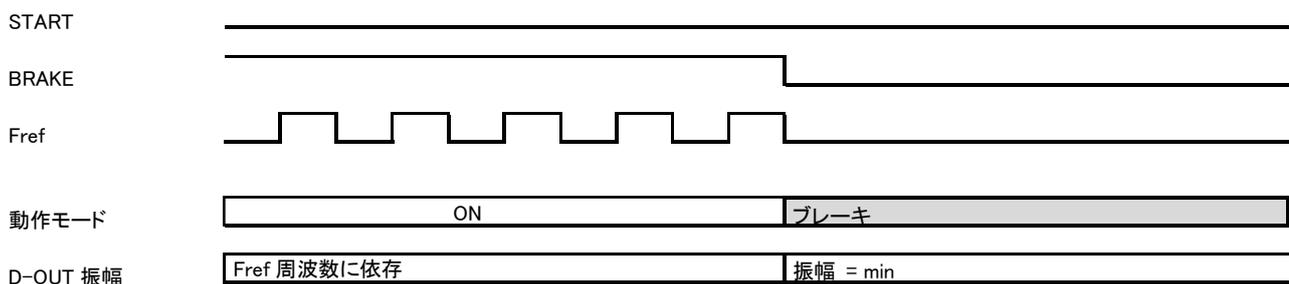
\*1) BRAKE 解除後、D-OUT の振幅が加速 min (2.094V) となり、最小振幅で起動します。(Fref 立ち上がり 2 発分)

(9) Fref 周波数が、動作周波数範囲より低い場合



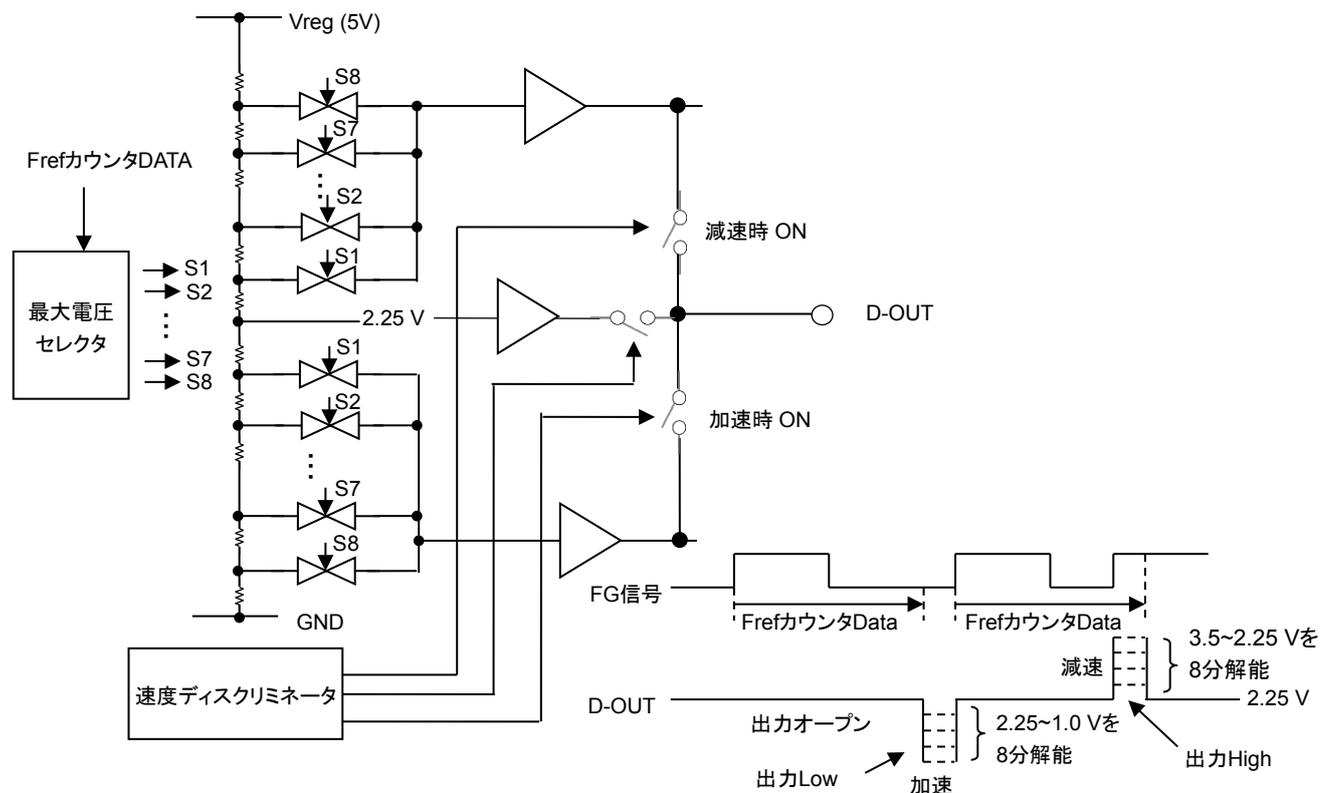
\*1) BRAKE 解除後、D-OUT の振幅が加速 min (2.094V) となり、最小振幅で起動します。(Fref 立ち上がり 2 発分)

(10) Fref 信号が入力されなくなる場合 (モータ止まる)



### 8.7.1. ゲイン調整回路

回転速度指令 (Fref 周波数) によって D-OUT 出力の振幅切り替えを行う機能です。



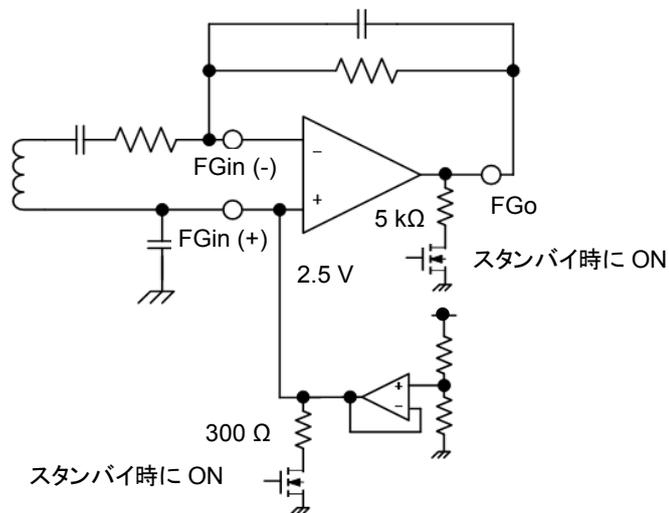
Fref 周波数によって、Fref のカウンタ DATA が変わります。  
このカウンタ DATA に応じて、D-OUT 信号のピーク電圧を以下のとおり、切り替えます。

切り替え周波数は、下表を参照ください。

カウンタデータ	$f_x = 4 \text{ MHz}$ 時 切り替え周波数	$f_x = 5 \text{ MHz}$ 時 切り替え周波数	$f_x = 6 \text{ MHz}$ 時 切り替え周波数	アナログ SW	D-OUT (min)	D-OUT (max)
16667	240Hz 未満	300Hz 未満	360Hz 未満	S1 ON	2.094	2.406
13333	240~300Hz 未満	300~375Hz 未満	360~450Hz 未満	S2 ON	1.938	2.563
11111	300~360Hz 未満	375~450Hz 未満	450~540Hz 未満	S3 ON	1.781	2.719
9524	360~420Hz 未満	450~525Hz 未満	540~630Hz 未満	S4 ON	1.625	2.875
7843	420~510Hz 未満	525~637.5Hz 未満	630~765Hz 未満	S5 ON	1.469	3.031
6667	510~600Hz 未満	637.5~750Hz 未満	765~900Hz 未満	S6 ON	1.313	3.188
4445	600~900Hz 未満	750~1125Hz 未満	900~1350Hz 未満	S7 ON	1.156	3.344
4444	900Hz 以上	1125Hz 以上	1350Hz 以上	S8 ON	1.000	3.500



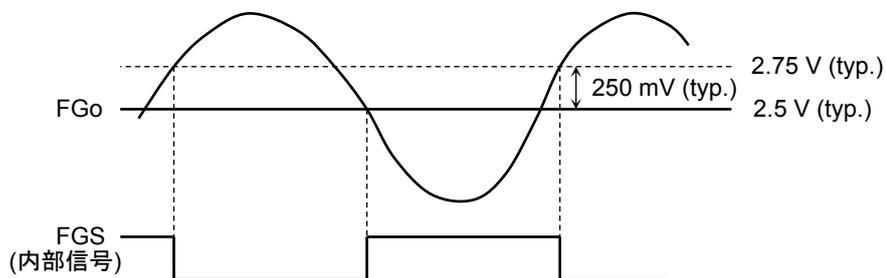
### 8.7.3. FG アンプ/ヒステリシスコンパレータ回路



FG アンプは、パターン FG 対応となっており、内部に 2.5 V の基準電圧を設けています。50 mVpp 以上の正弦波を入力することにより、ゲイン倍の信号が出力されます。オープンループゲインは、40 dB (min) (@10 kHz, 設計値) となっています。

後段にはヒステリシスコンパレータを備えており、FGo 出力をコンパレートします。本コンパレータには、2.5 V の基準電圧に対し、片側 250 mV のヒステリシスを設けており、FGS (内部信号) の矩形波は、内部カウンタへ入力されます。

注: 等価回路は、回路を説明するため、一部省略・簡略化している場合があります。



FGo 出力ダイナミックレンジは次のとおりです。

$$1.2 \text{ V} \sim V_{\text{reg}} - 1.2 \text{ V} (@I_{\text{FGo}} = \pm 100 \mu\text{A})$$

切り替わりエッジに 1  $\mu\text{s}$  のフィルタを FG ヒステリシスコンパレータに追加してノイズに対して、マージンアップを図っています。

### 8.8. ホールアンプ回路

ホール素子の出力信号を入力してください。入力信号にノイズが見られる場合には入力間にコンデンサを接続してください。

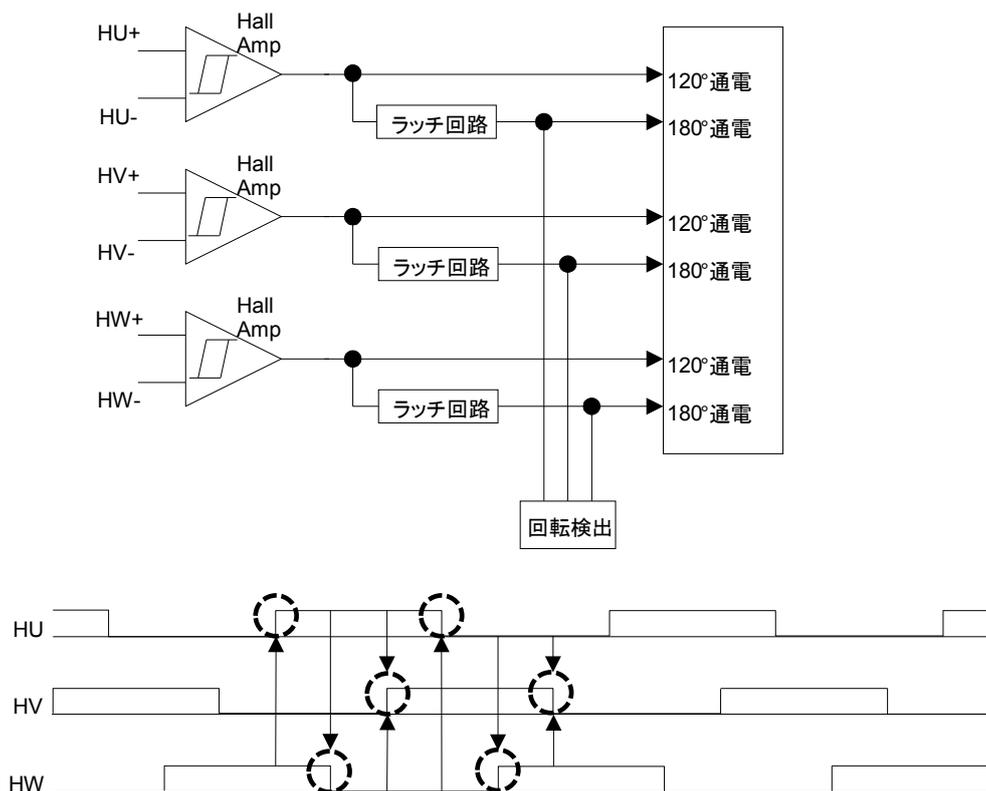
同相入力電圧範囲は、 $V_{CMRH} = 0.5 \sim 3.5 \text{ V}$  となっています。

180°通電時にチャタリングによる誤動作防止のため、他相のホールの状態を検出、その Low/High レベルの適正を確認した上で切り替わりをラッチします。また、このとき 3 相のホール信号を確認し続けることにより回転方向検出も同時に行います。

ホールアンプは入力ヒステレシス (16 mV (typ.)) を設けており、120°通電時の誤動作はそのヒステリシスだけで対策します。

ホールアンプ入力が全オープン、ALL Low、ALL High の場合、全モータ出力は、ハイインピーダンスとなります。

ホール IC の入力 (片側入力 =  $V_{reg} / 2$ 、0~5 V 入力) も対応可能です。



### 8.9. READY 回路

モータ回転数の状態を、オープンドレイン出力により Low/Hi-Z の 2 値を出力します。  
 モータ回転時、FG 信号をカウントし、その周波数が設定値に対し±6.25%以内の場合と±6.25%を超えた場合により、以下のとおり出力します。

等価回路は、回路を説明するため、一部省略・簡略化している場合があります。

モータ回転数に対し、±6.25%以内: Low 出力

モータ回転数に対し、±6.25%を超える: Hi-Z(ハイインピーダンス)

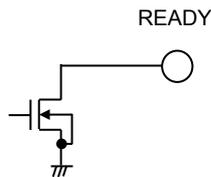
スタンバイ (START = High) 時 READY 出力はハイインピーダンスになります。

CW/CCW 端子設定と逆方向回転時にも FG 信号が設定値に対し±6.25%以内に入った場合 READY = Low となります。

READY 出力端子にプルアップ抵抗を接続してください。抵抗値は以下特性を考慮の上、決定してください。

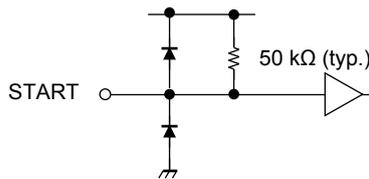
なお、入力電流は 2 mA (max) となっております。

$$V_{DS} = 0.5 \text{ V (max) (@} I_R = 2 \text{ mA)}$$



注: READY 端子に電源側保護ダイオードはありません。

### 8.10. スタート/スタンバイ回路



START 端子は、TTL 受けとなっており、内部に 5 V プルアップ抵抗を内蔵しています。  
 入力のノイズによる誤動作防止のため、入力バッファ後に CR フィルタを内蔵しています。  
 フィルタ時間分は、入力に対して反応が遅延します。

フィルタ時間: 7.5 μs ±2.5μs

START 入力	モード
High	スタンバイ
Low	スタート

#### スタンバイ機能

- ・内部基準クロック、上側 Nch 出力駆動の昇圧回路を OFF します。
- ・Vreg、Vreg1.5 は動作します。
- ・スタンバイ時の消費電流: 575 μA (typ.)

スタンバイモードに移行時、外付け FET を OFF させるために Low 期間を設けます。  
 外付け CR でつくった内部基準クロックを使って Low 期間を設定します。

内部基準クロック  $f_x$  とすると

$$T_{OFF}(STBY) = (1 / f_x) \times 34$$

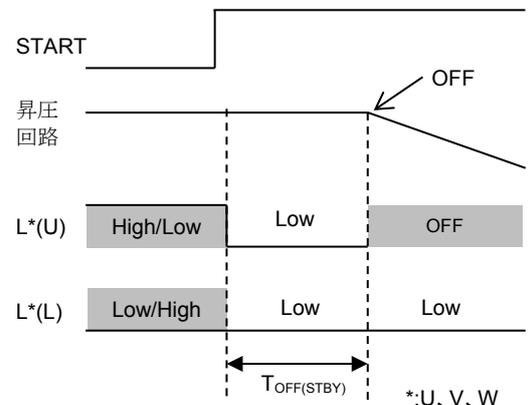
例えば

$f_x = 6 \text{ MHz}$  の場合  $T_{OFF}(STBY) = 5.6 \mu\text{s}$

$f_x = 5 \text{ MHz}$  の場合  $T_{OFF}(STBY) = 6.8 \mu\text{s}$

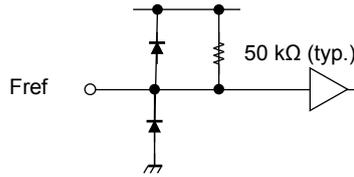
$f_x = 4 \text{ MHz}$  の場合  $T_{OFF}(STBY) = 8.5 \mu\text{s}$

Low 期間以降、外付け下側 FET ゲート駆動出力端子は Low の状態が続きますが、  
 外付け上側 FET ゲート駆動出力端子の状態が OFF になります。



\*:U、V、W

### 8.11. Fref (外部クロック入力) 回路



Fref 端子は、TTL 受けとなっており、内部に 5 V プルアップ抵抗を内蔵しています。入力のノイズによる誤動作防止のため、入力バッファ後に CR フィルタを内蔵しています。フィルタ時間分は、入力に対して反応が遅延します。

フィルタ時間:  $7.5 \mu\text{s} \pm 2.5 \mu\text{s}$

### 8.12. 電源監視回路

Vreg 電圧、V<sub>CC</sub> 電圧の電源監視機能を内蔵しています。

V<sub>CC</sub> 電源 (24 V、外部印加)

・V<sub>CC</sub> (H) = 9.0 V (typ.)、V<sub>CC</sub> (L) = 8.0 V (typ.)

(電源 ON)

V<sub>CC</sub> 電源電圧が、立ち上がり時に、9.0 V (typ.) 以下では、外付け 上下 FET を OFF、内部ロジックをリセットにします。

(電源 OFF)

V<sub>CC</sub> 電源電圧が、立ち下がり時に、8.0 V (typ.) 以下では、外付け上下 FET を OFF、内部ロジックをリセットにします。

\*V<sub>CC</sub> には、昇圧回避のための監視機能も内蔵します。  
(「8.17.電源電圧 V<sub>CC</sub> の昇圧回避機能」を参照ください。)

Vreg 電源 (5 V、内部基準電源)

・Vreg (H) = 4.2 V (typ.)、Vreg (L) = 3.5 V (typ.)

(電源 ON)

V<sub>CC</sub> が立ち上がると、Vreg 電圧が立ち上がります。Vreg 電圧が 4.2 V (typ.) 以下では、外付け上下 FET を OFF、内部ロジックをリセットにします。

(電源 OFF)

V<sub>CC</sub> が立ち下がると、Vreg 電圧が下がります。Vreg 電圧が 3.5 V (typ.) 以下では、外付け上下 FET を OFF、内部ロジックをリセットにします。

右図は、一般的な動作です。入力信号が入って、Vreg 電位が中途半端な電圧になったときは、Vreg の電源監視が動作します。モータが回っている状態で、電源が切れた場合は、V<sub>CC</sub> の電源監視が動作します。

Vreg1.5V 電源 (内部ロジック電源)

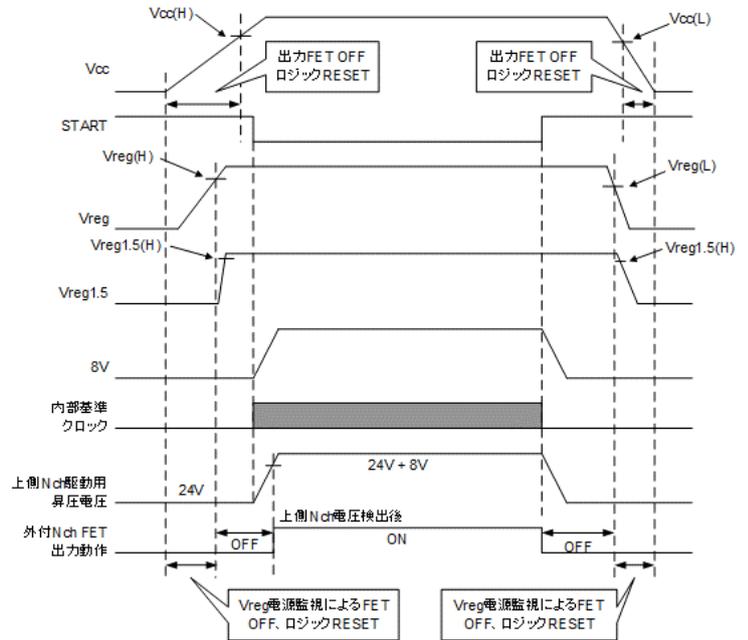
・Vreg1.5 (H) = 1.4 V (typ.)、Vreg1.5 (L) = 1.3 V (typ.)

(電源 ON)

V<sub>CC</sub> が立ち上がると、Vreg 電圧が立ち上がります。V<sub>CC</sub> > 9.0 V かつ、Vreg > 4.2 V で Vreg1.5 が立ち上がります。Vreg1.5 電圧が 1.4 V 以下では、外付け上下 FET を OFF、内部ロジックをリセットにします。

(電源 OFF)

V<sub>CC</sub> が立ち下がると、Vreg 電圧が下がります。V<sub>CC</sub> < 8.0 V または、Vreg < 3.5 V で Vreg1.5 が立ち下がります。Vreg1.5 電圧が 1.3 V 以下では、外付け上下 FET を OFF、内部ロジックをリセットにします。



電源シーケンス

### <スタート時>

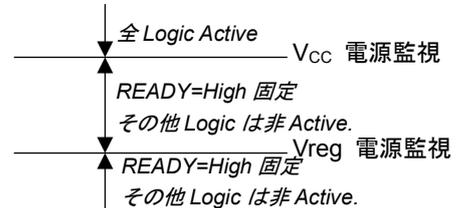
下記のスタート時、FG パルス 2 回分 D-OUT = Low となりフル加速となります。

- (1) START = Low (スタート) で BRAKE = Low (ブレーキ) ⇒ High (ブレーキ解除)
- (2) BRAKE = High (ブレーキ解除) で START = High (スタンバイ) ⇒ Low (スタート) 後さらに上側 Nch 電圧検知した後。

### (上側 Nch 電圧検知)

CP3 電圧立ち上がり時、CP3 電圧 -  $V_{CC} \geq 6.35 \text{ V (typ.)}$  で出力 ON、  
 CP3 電圧立ち下がり時 CP3 電圧 -  $V_{CC} \leq 5.8 \text{ V (typ.)}$  で出力 OFF します。

START = Low の場合の電源監視と Logic について

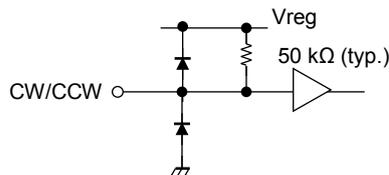


### <スタンバイ時>

D-OUT = Low、P-OUT = Low 固定になります。

START = High の場合、READY = High 固定の上でその他ロジックは無効になります。

## 8.13. 正転/逆転回路



CW/CCW 端子は TTL 受けとなっており、また内部にプルアップ抵抗を内蔵しています。入力のノイズによる誤動作防止のため、入力バッファ後に CR フィルタを内蔵しています。フィルタ時間分は、入力に対して反応が遅延します。

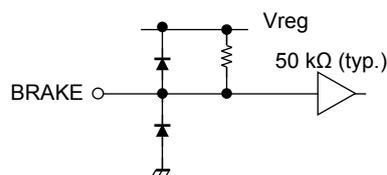
フィルタ時間:  $7.5 \mu\text{s} \pm 2.5 \mu\text{s}$

CW/CCW 入力	モード
High	逆転
Low	正転

正転: ホール素子信号 HU+ → HV+ → HW+

急激に、正転 ⇄ 逆転を切り替えた場合、逆トルクで出力 FET が破壊することがありますのでご注意ください。

## 8.14. ブレーキ



BRAKE 端子は、TTL 受けとなっており、内部にプルアップ抵抗を内蔵します。

BRAKE 入力	モード
High	ブレーキ解除
Low	ブレーキ

BRAKE: 下側出力 Nch 全相 ON

高回転から、急激にブレーキに切り替えた場合、出力 FET が破壊することがありますのでご注意ください。

\*下記状態のときは出力 OFF が優先しますので、ブレーキとなりません。

$V_{CC}$  電源監視電圧以下、上側 Nch FET 駆動用昇圧をしていない場合。

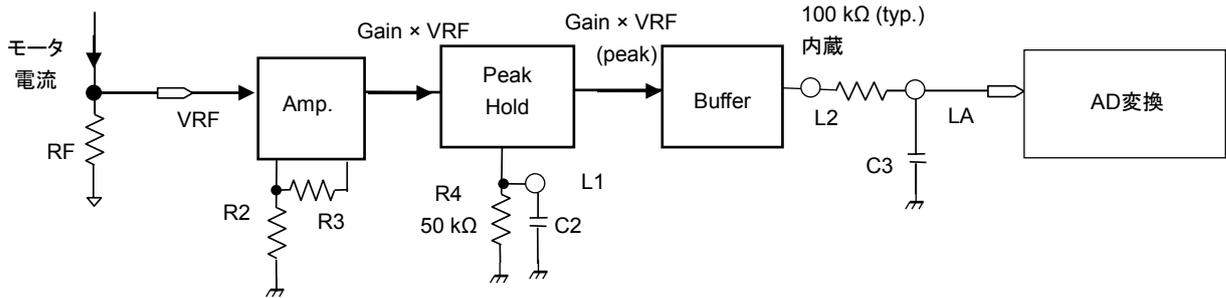
\*下記状態の時は BRAKE = Low でブレーキとなります。  
V<sub>CC</sub> 昇圧回避機能動作時、過電流制限回路動作時。

入力のノイズによる誤動作防止のため、入力バッファ後に CR フィルタを内蔵しています。  
フィルタ時間分は、入力に対して反応が遅延します。

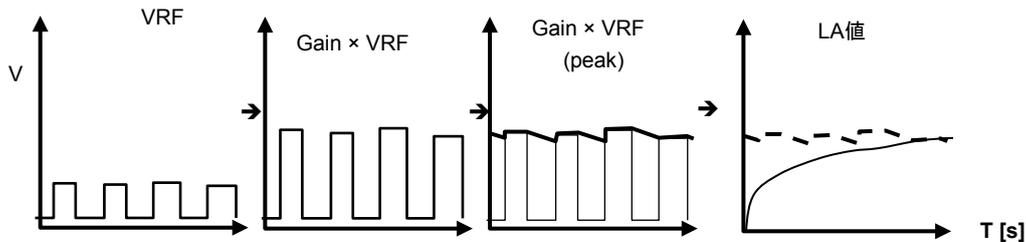
フィルタ時間: 7.5 μs ± 2.5 μs

### 8.15. 自動位相進角補正回路

モータ電流値を用いて、進角を補正する回路を内蔵しています。  
(自動進角補正)



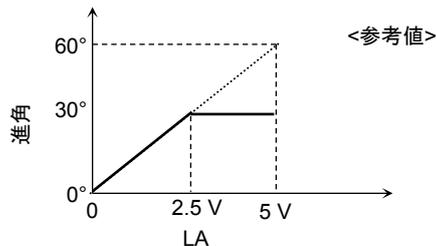
\*) Gain = (R2 + R3) / R2 = 17倍固定、R4抵抗内蔵



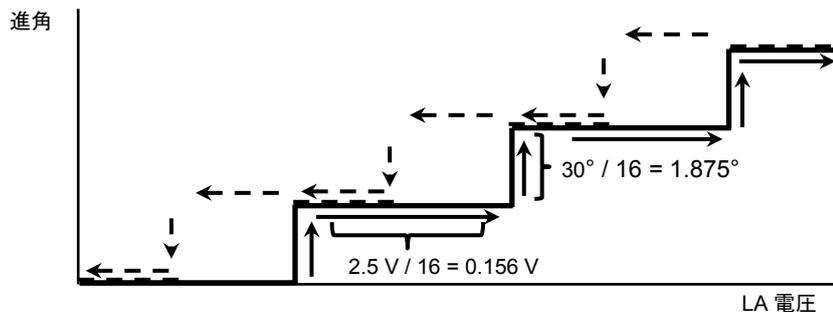
0~2.5 V 入力を (16 段階) で、誘起電圧に対する通電信号の位相を進ませることが可能です。

0 V → 0°

2.5 V → 30° (2.5 V 以上が入力された場合も 30°)



進角の上限 30°でクランプします。入力電圧をクランプするのではなく内部ロジック的に 30°設定でクランプします。



step = 2.5 V / 16 = 0.156 V

ヒステリシス幅は、上記値の半分となります。

(進角反映のタイミング)

進角値の反映のタイミングをホール信号 HU の 16 周期に 1 回で反映します。

回転開始後 1 回目の進角は、180°通電切り替わり後、ホール信号 HU の 16 発目の立ち上がりタイミングで反映します。

10 極 ⇒  $16 / (10 / 2) = 3.2$  回転に 1 回

16 極 ⇒  $16 / (16 / 2) = 2$  回転に 1 回

### 8.16. ロック保護回路

モータがロックした場合、外付け出力 FET を OFF する機能です。

READY 信号を検出し、下記動作条件の場合、外付け出力 FET の上下を OFF します。

なお、一度ストップ状態またはブレーキ状態とすることで、ロック保護回路のラッチ状態は解除されます。

検出信号	ロック保護回路動作条件
READY 信号	READY 信号出力: Hi-Z が 1 s (typ.) または 3 s (typ.)、継続した場合

CLD 端子の入力電圧により、電流帰還ゲインと合わせて、ロック検出時間を設定します。

抵抗分割で CLD 電圧を設定する際は、Vreg 電圧を、以下の抵抗値の組み合わせで設定してください。抵抗は±5%の精度のものをご使用ください。

外付け抵抗 (kΩ)		CLD 端子 入力電圧 (V)		モード	ロック 検出時間	電流帰還 ゲイン定数
R1	R2	min	max			
100	0	0.00	0.48	無効	—	0
82	18	0.68	1.07	ラッチ	1 s	0.0625
68	27	1.27	1.65			0.125 (注 1)
56	38	1.85	2.23			0.5
47	51	2.43	2.82		3 s	0.0625
36	62	3.02	3.40			0.25 (注 1)
0	100	3.60	Vreg			0.5

注 1: 1 s と 3 s では、電流帰還ゲインの設定内容が 0.125 と 0.25 と異なります。

注: CLD 端子電圧は、3.2 ms ごとに検出し、同じモードが連続 3 回検出されると切り替わります。

注: R1,R2 はブロック図を参照してください。

### 8.17. 電源電圧 $V_{CC}$ の昇圧回避機能

急な減速時の電源電圧の昇圧現象を回避する機能を内蔵しており、回避機能動作時、駆動方式を同期整流から上側 PWM(120° 通電) への切り替えを行います。

切替は、 $V_{CC}$  の電圧を監視し、駆動方式を切り換えます。

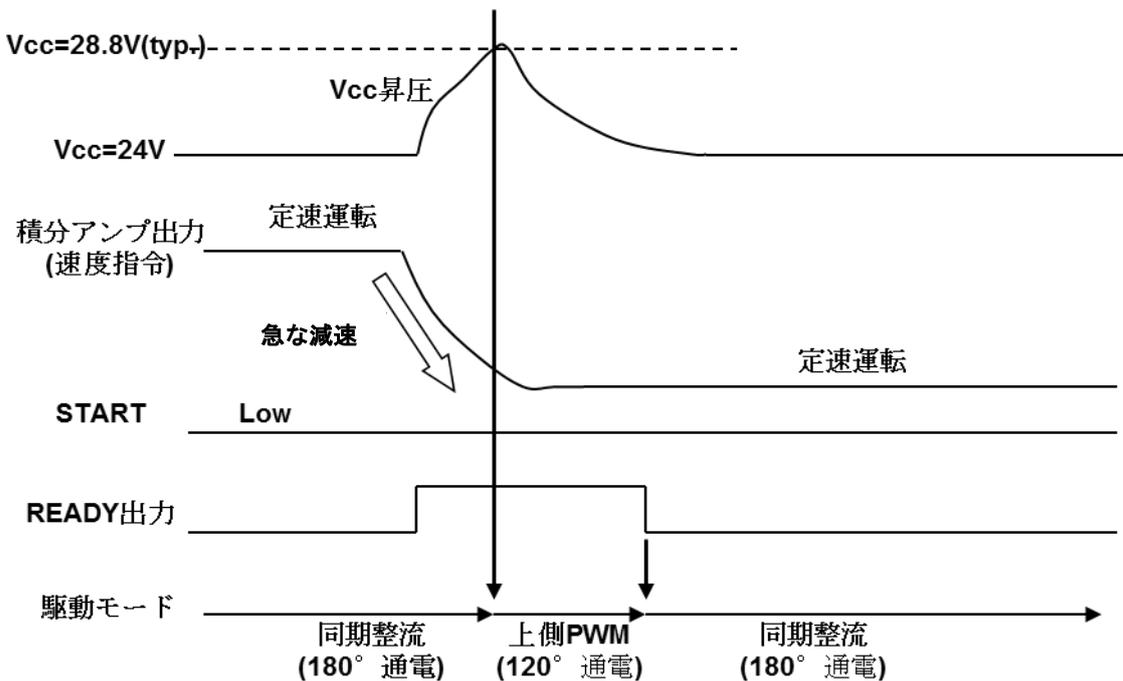
(1) 同期整流 ⇒ 上側 PWM の条件

$V_{CC}$  電源電圧を監視し、 $V_{CC} > 28.8 \text{ V (typ.)}$  となると  
同期整流 (180° 通電) ⇒ 上側 PWM (120° 通電) へ切り替わります。

(2) 上側 PWM ⇒ 同期整流の条件

定速動作 (READY = Low) となる条件になると、上側 PWM (120° 通電) ⇒ 同期整流 PWM (180° 通電) へ切り替わります。

#### <昇圧回避動作 (通常)>



通常使用される電源電圧の上限  $V_{CC} (\text{max})$  は、電源監視電圧  $V_K (\text{min}) = 27.8 \text{ V}$  未満になるように設定ください。

注: この機能は、全ての電源電圧の昇圧現象を回避するものではありません。  
電源回路などの要因で電源電圧が昇圧する場合には、別の昇圧回避回路を追加ください。

### 8.18. 定電圧回路

(1) Vreg

内部回路バイアス用に 5 V を生成しており、Vreg 端子から出力しています。

Vreg 端子と GND 間には、発振防止およびノイズ吸収のため必ずコンデンサ (0.1~1  $\mu$ F) を IC 直近に接続してください。

(2) Vreg1.5

Logic 電源として、1.5 V 電源を内蔵しています。

必ずコンデンサ (0.1~1  $\mu$ F) を IC 直近に接続してください。

(3) 8 V 電源

出力 FET のゲート駆動回路用として IC 内部で 8 V 電源を生成しています。

### 8.19. 過電流制限回路

Idc1-Idc2 間電圧が 0.25 V (typ.) を超えた場合、外付け上側全相の FET を OFF とし、その解除はキャリア周期ごとに行います。  
(検出  $\Rightarrow$  同期整流部通電無し、PWM Duty = 0、下側 FULL-ON の相は ON のままとする。)

なお、Idc 端子は直接アナログコンパレータ入力となっているため感度が高く、チョッピングによる出力電流ノイズにより過電流制限回路が動作しないよう、CR フィルタの追加を検討してください。

Idc1 端子は、オープン時には、出力 OFF にします。

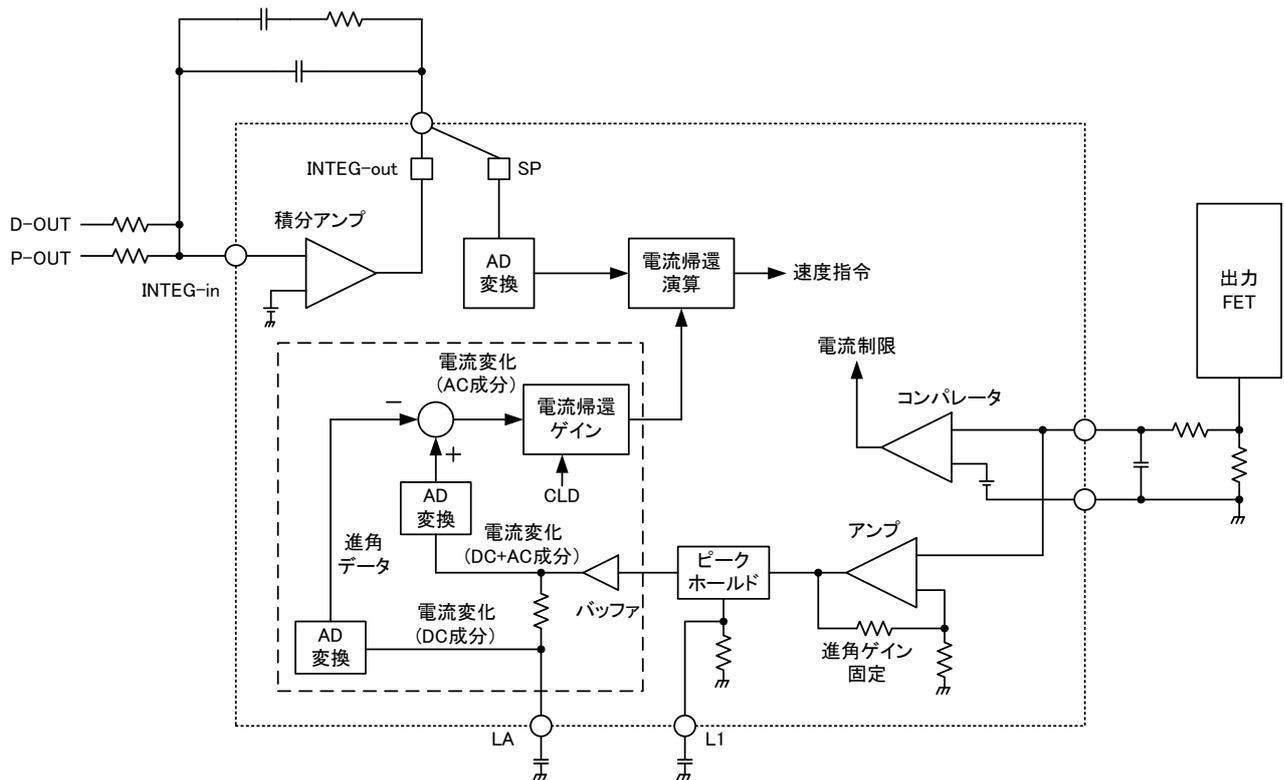
注: これら機能は出力短絡などの異常状態を一時的に回避する機能であって、IC が破壊しないことを保証するものではありません。

### 8.20. 電流帰還

回転ムラ成分を抑えるために、モータ電流（電源電流）の変動を抑える目的で電流帰還系を設けています。速度制御に電流変動分を帰還させる方式です。

#### <電流検出部の機能について>

電流（検出抵抗電圧）を使った機能として、  
 電流制限機能  
 電流帰還機能  
 自動進角機能  
 を内蔵します。回路構成は以下のとおりです。



CLD 電圧により、電流帰還ゲインを設定します。  
 抵抗分割で CLD 電圧を設定する際は、Vreg 電圧を、以下の抵抗値の組み合わせで設定してください。  
 抵抗は±5%の精度のものをご使用ください。

※ 以下の表は、「8.16. ロック保護回路」と同じものです。

外付け抵抗 (kΩ)		CLD 端子 入力電圧 (V)		モード	ロック 検出時間	電流帰還 ゲイン定数
R1	R2	min	max			
100	0	0.00	0.48	無効	—	0
82	18	0.68	1.07	ラッチ	1 s	0.0625
68	27	1.27	1.65			0.125 (注 1)
56	38	1.85	2.23			0.5
47	51	2.43	2.82		3 s	0.0625
36	62	3.02	3.40			0.25 (注 1)
0	100	3.60	Vreg			0.5

注 1: 1 s と 3 s では、電流帰還ゲインの設定内容が 0.125 と 0.25 と異なります。  
 注: CLD 端子電圧は、3.2 ms ごとに検出し、同じモードが連続 3 回検出されると切り替わります。  
 注: R1, R2 はブロック図を参照してください。

## 9. 電気的特性

電気的特性 (1) ( $V_{CC} = 24\text{ V}$ ,  $T_a = 25^\circ\text{C}$ )

項目		記号	測定条件	最小	標準	最大	単位
電源電流		$I_{CC1}$	START = Low	3	5	8	mA
		$I_{CC2}$	START = High、スタンバイモード*	0.35	0.575	0.8	
ホール アンプ	同相入力電圧範囲	VCMRH	—	0.5	—	3.5	V
	入力振幅範囲	VH	—	50	—	—	mVpp
	入力ヒステリシス幅	VhysH	—	8	16	24	mV
	入力電流	IinH	VCMRH = 2.5 V、1 相	0	—	1	$\mu\text{A}$
READY 回路	出力残り電圧	VCER	オープンコレクタ出力 ICER = 2 mA	0.1	—	0.5	V
	出力リーク電流	ILR	Vready = 5 V	0	—	1	$\mu\text{A}$
FG アンプ	入力オフセット電圧	VOSFG	—	0	—	$\pm 7$	mV
	出力残り電圧 (上側)	VOFG (H)	IFG = 100 $\mu\text{A}$ (ソース電流)	Vreg -1.2	—	Vreg	V
	出力残り電圧 (下側)	VOFG (L)	IFG = 100 $\mu\text{A}$ (シンク電流)	—	—	1.2	
	基準電圧	VrefFG	—	2.2	Vreg/2	2.8	V
FG ヒステ リシスコン パレータ	ヒステリシス幅	VhysS	—	0.20	0.25	0.30	V
制御入力 回路	入力電圧 (H)	Vin (H)	CW/CCW、BRAKE、START	2.0	—	5.5	V
	入力電圧 (L)	Vin (L)		0	—	0.8	
	入力電流(H)	Iin (H)	CW/CCW、BRAKE、START Vin = Vreg	0	—	1	$\mu\text{A}$
	入力電流(L)	Iin (L)	CW/CCWBRAKE,START Vin = GND	70	100	150	
Fref 入力回路	入力電圧 (H)	Vin (H)	Fref	2.0	—	5.5	V
	入力電圧 (L)	Vin (L)	Fref	0	—	0.8	
	入力電流 (H)	Iin (H)	Vin = Vreg	0	—	1	$\mu\text{A}$
	入力電流 (L)	Iin (L)	Vin = GND	70	100	150	
チャージポンプ電圧		VG	CP1 - CP2: 0.047 $\mu\text{F}$ CP3: 0.1 $\mu\text{F}$	$V_{CC} + 7$	$V_{CC} + 8$	$V_{CC} + 9$	V
通電信号出力電圧	VO (U) - (H)	LA(U)/LB(U)/LC(U) Io = 1 mA	VG - 1.5	—	VG	V	
	VO (U) - (L)	LA(U)/LB(U)/LC(U) Io = 5 mA	0.1	—	0.825		
	VO (L) - (H)	LA(U)/LB(U)/LC(U) Io = 1 mA	6.9	7.7	8.5		
	VO (L) - (L)	LA(U)/LB(U)/LC(U) Io = 5 mA	0.1	—	0.775		
内部電源電圧出力 (5 V)		Vreg5	Ireg5 = 10 mA	4.5	5.0	5.5	V
内部電源電圧出力 (1.5 V)		Vreg1.5	—	1.4	1.5	1.6	V
過電流制限回路基準電圧		Vdc	—	0.23	0.25	0.27	V
内部基準クロック周波数		$f_x$	R = 2.4 k $\Omega$ , C = 100 pF	4.5	5.0	5.5	MHz
デッドタイム	TOFF1	R = 2.4 k $\Omega$ , C = 100 pF	0.9	1.2	1.5	$\mu\text{s}$	
	TOFF2	R = 2.4 k $\Omega$ , C = 100 pF	0.9	1.2	1.5		
進角補正 回路	クランプ進角(上限)	ACLH	—	—	30	—	$^\circ$

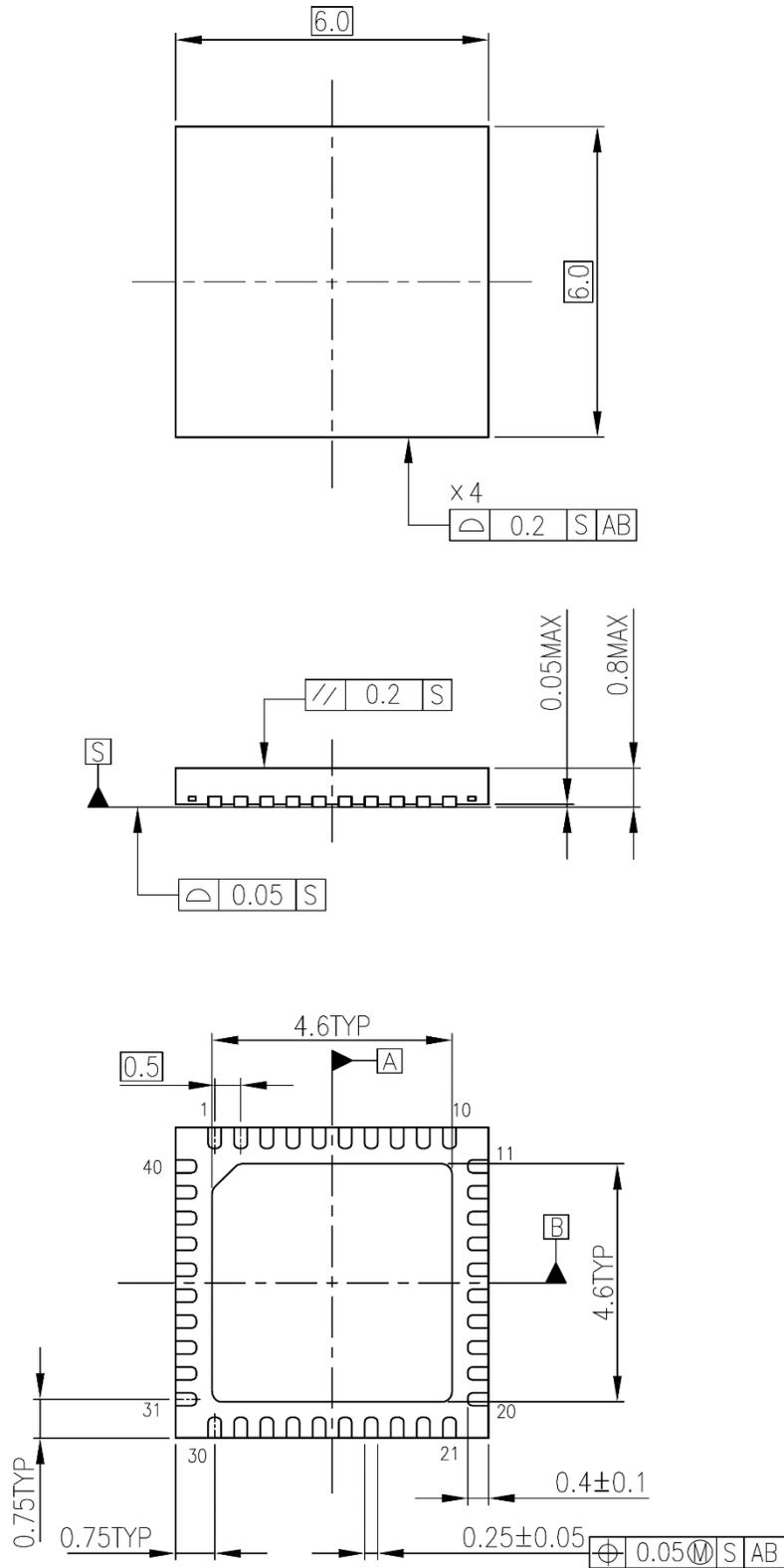
### 電気的特性 (2) ( $V_{CC} = 24\text{ V}$ 、 $T_a = 25^\circ\text{C}$ )

項目	記号	測定条件	最小	標準	最大	単位	
積分 アンプ 回路	基準電圧	Vr	—	2.1	2.25	2.4	V
	出力 High レベル電圧	Vint (H)	—	3.25	3.5	3.75	
	出力 Low レベル電圧	Vint (L)	—	—	—	0.3	
	入力バイアス電流	IB (int)	—	-1	—	1	$\mu\text{A}$
	入力オフセット電圧	VOSFG	—	0	—	$\pm 7$	mV
	オープンループ GAIN	A <sub>OL</sub>	(設計値)	—	100	—	dB
速度 FLL 出力 (D-OUT 出力)	最大出力電圧	VD (H)	—	3.25	3.5	3.75	V
	基準電圧	VrD	—	2.1	2.25	2.4	
	基準電圧偏差	$\Delta\text{Vrd}$	Vr - VrD	0	—	$\pm 10$	mV
	最小出力電圧	VD (L)	—	0.75	1.0	1.25	V
速度 PLL 出力 (P-OUT 出力)	最大出力電圧	VP (H)	—	3.25	3.5	3.75	
	基準電圧	VrP	—	2.1	2.25	2.4	
	基準電圧偏差	$\Delta\text{VrP}$	Vr - VrP	0	—	$\pm 10$	mV
	最小出力電圧	VP (L)	—	0.75	1.0	1.25	V
電源監視	PWM 駆動監視電圧	VK	—	27.8	28.8	29.8	V

### 10. 外形図

P-WQFN40-0606-0.50-001

"Unit:mm"



質量: 0.0849 g (typ.)

## 記載内容の留意点

### 1. ブロック図

ブロック図内の機能ブロック/回路/定数などは、機能を説明するため、一部省略・簡略化している場合があります。

### 2. 等価回路

等価回路は、回路を説明するため、一部省略・簡略化している場合があります。

### 3. タイミングチャート

タイミングチャートは機能・動作を説明するため、単純化している場合があります。

### 4. 応用回路例

応用回路例は、参考例であり、量産設計に際しては、十分な評価を行ってください。  
また、工業所有権の使用の許諾を行うものではありません。

## 使用上のご注意およびお願い事項

### 使用上の注意事項

- (1) 絶対最大定格は複数の定格の、どの1つの値も瞬時たりとも超えてはならない規格です。  
複数の定格のいずれに対しても超えることができません。  
絶対最大定格を超えると破壊、損傷および劣化の原因となり、破裂・燃焼による傷害を負うことがあります。
- (2) 過電流の発生や IC の故障の場合に大電流が流れ続けないように、適切な電源ヒューズを使用してください。IC は絶対最大定格を超えた使い方、誤った配線、および配線や負荷から誘起される異常パルスノイズなどが原因で破壊することがあり、この結果、IC に大電流が流れ続けることで、発煙・発火に至ることがあります。破壊における大電流の流出入を想定し、影響を最小限にするため、ヒューズの容量や溶断時間、挿入回路位置などの適切な設定が必要となります。
- (3) モータの駆動など、コイルのような誘導性負荷がある場合、ON 時の突入電流や OFF 時の逆起電力による負極性の電流に起因するデバイスの誤動作あるいは破壊を防止するための保護回路を接続してください。IC が破壊した場合、傷害を負ったり発煙・発火に至ったりすることがあります。  
保護機能が内蔵されている IC には、安定した電源を使用してください。電源が不安定な場合、保護機能が動作せず、IC が破壊することがあります。IC の破壊により、傷害を負ったり発煙・発火に至ったりすることがあります。
- (4) デバイスの逆差し、差し違い、または電源のプラスとマイナスの逆接続はしないでください。電流や消費電力が絶対最大定格を超え、破壊、損傷および劣化の原因になるだけでなく、破裂・燃焼により傷害を負うことがあります。なお、逆差しおよび差し違いのままに通電したデバイスは使用しないでください。

## 使用上の留意点

- (1) 過電流保護回路  
過電流制限回路（通常：カレントリミッタ回路）はどのような場合でも IC を保護するわけではありません。動作後は、速やかに過電流状態を解除するようお願いします。  
絶対最大定格を超えた場合など、ご使用方法や状況により、過電流制限回路が正常に動作しなかったり、動作する前に IC が破壊したりすることがあります。また、動作後、長時間過電流が流れ続けた場合、ご使用方法や状況によっては、IC が発熱などにより破壊することがあります。
- (2) 熱遮断回路  
熱遮断回路（通常：サーマルシャットダウン回路）は、どのような場合でも IC を保護するわけではありません。動作後は、速やかに発熱状態を解除するようお願いします。  
絶対最大定格を超えて使用した場合など、ご使用法や状況により、熱遮断回路が正常に動作しなかったり、動作する前に IC が破壊したりすることがあります。
- (3) 放熱設計  
パワーアンプ、レギュレータ、ドライバなどの、大電流が流出入する IC の使用に際しては、適切な放熱を行い、規定接合温度（Tj）以下になるように設計してください。これらの IC は通常使用時でも、自己発熱をします。IC 放熱設計が不十分な場合、IC の寿命の低下・特性劣化・破壊が発生することがあります。  
また、IC の発熱に伴い、周辺に使用されている部品への影響も考慮して設計してください。
- (4) 逆起電力  
モータを逆転やストップ、急減速を行った場合に、モータの逆起電力の影響でモータからモータ側電源へ電流が流れ込みますので、電源の Sink 能力が小さい場合、IC のモータ側電源端子、出力端子が定格以上に上昇する恐れがあります。  
逆起電力によりモータ側電源端子、出力端子が定格電圧を超えないように設計してください。
- (5) その他  
出力間ショート、出力の天絡、地絡、隣接端子ショート時に IC の破壊の恐れがありますので、Vcc、GND、ラインの設計は十分注意してください。

## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

東芝デバイス&ストレージ株式会社

<https://toshiba.semicon-storage.com/jp/>